

DIALOG(R)File 347:JAPIO

(c) 2005 JPO & JAPIO. All rts. reserv.

05225825 **Image available**

MANUFACTURE OF SEMICONDUCTOR ELEMENT AND MANUFACTURE
OF SUBSTRATE FOR
DISPLAY DEVICE

PUB. NO.: 08-181325 [JP 8181325 A]

PUBLISHED: July 12, 1996 (19960712)

INVENTOR(s): KOUZAI TAKAMASA
 ADACHI MASAHIRO

APPLICANT(s): SHARP CORP [000504] (A Japanese Company or Corporation), JP
 (Japan)

APPL. NO.: 06-326105 [JP 94326105]

FILED: December 27, 1994 (19941227)

INTL CLASS: [6] H01L-029/786; H01L-021/336; G02F-001/1343; G02F-001/136;
 H01L-021/20; H01L-027/12

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 29.2 (PRECISION
 INSTRUMENTS -- Optical Equipment)

JAPIO KEYWORD: R002 (LASERS); R004 (PLASMA); R011 (LIQUID CRYSTALS); R096
 (ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC
 MATERIALS -- Metal Oxide Semiconductors, MOS); R100
 (ELECTRONIC MATERIALS -- Ion Implantation)

ABSTRACT

PURPOSE: To provide the manufacturing method of a semiconductor element which comprises high field mobility, a sufficient ON current, an extremely low OFF current and a good contact with a source region and a drain region and with a wiring metal and which can be obtained stably and at good yield by a low-temperature process and to provide the manufacturing method of a substrate for a display device.

CONSTITUTION: A semiconductor layer for a semiconductor element such as a TFT or the like which is formed on an insulating substrate 101 is formed in two divided stages. Semiconductor islands 103a constituting a source region and a drain region are first formed, and a semiconductor layer 103b constituting a channel region is formed at a film thickness which is

thinner than that of the semiconductor islands 103a. Thereby, the channel region becomes a thin film which is sufficient to suppress an OFF current to be extremely low, and the source region and the drain region become a thick film which is sufficient to form a good electrical contact with a metal interconnection. In addition, when a laser annealing treatment is executed to the semiconductor layer 103b constituting the channel region, the crystallinity of the semiconductor layer 103b becomes good.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-181325

(43) 公開日 平成8年(1996)7月12日

(51) Int. Cl. ⁶

識別記号

F I

H01L 29/786

21/336

G02F 1/1343

H01L 29/78

627

G

612

B

審査請求 未請求 請求項の数14 O L (全26頁) 最終頁に続く

(21) 出願番号

特願平6-326105

(22) 出願日

平成6年(1994)12月27日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 香西 孝真

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 足立 昌浩

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

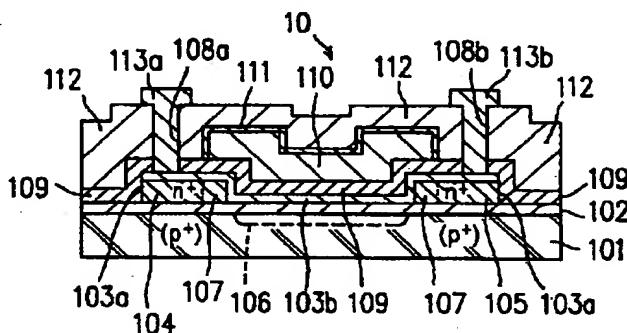
(74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】 半導体素子の製造方法および表示装置用基板の製造方法

(57) 【要約】

【目的】 高い電界移動度と十分なON電流、極めて低いOFF電流、およびソース・ドレイン領域と配線金属との良好なコンタクトを有し、低温プロセスにより安定して歩留まり良く得られる半導体素子の製造方法および表示装置用基板の製造方法を提供する。

【構成】 絶縁性基板101上に形成されるTFT等の半導体素子の半導体層を二段階に分けて成膜する。まず、ソース・ドレイン領域を構成する半導体島103aを形成し、チャネル領域を構成する半導体層103bを半導体島103aよりも薄い膜厚で形成する。これによりチャネル領域はOFF電流を極めて低く抑えるのに十分な薄膜となり、ソース・ドレイン領域は金属配線と良好な電氣的コンタクトを取るのに十分な厚膜になる。更に、チャネル領域を構成する半導体層103bに対しレーザーアニール処理を施すことにより、半導体層103bが良好な結晶性を有するものになる。



【特許請求の範囲】

【請求項 1】 絶縁性基板上に、結晶性ケイ素からなる複数の島を形成する第 1 の工程と、
各島の上および複数の島に挟まれた領域の上に、該島の膜厚以下の膜厚で非晶質ケイ素膜を積層する第 2 の工程と、
該基板の非晶質ケイ素膜側からレーザーアニール処理を施す第 3 の工程と、
複数の島に挟まれた領域の結晶性ケイ素膜部分および該結晶性ケイ素膜部分と島との接合部を含む島の一部をチャネル領域として半導体素子を形成する第 4 の工程とを含む半導体素子の製造方法。

【請求項 2】 絶縁性基板上に、結晶性ケイ素からなる複数の島を形成する第 1 の工程と、
各島の上および複数の島に挟まれた領域の上に、該島の膜厚以下の膜厚で非晶質ケイ素膜を積層する第 2 の工程と、
該非晶質ケイ素膜を固相成長法により結晶性ケイ素膜とする第 3 の工程と、
該基板の結晶性ケイ素膜側からレーザーアニール処理を施す第 4 の工程と、
複数の島に挟まれた領域の結晶性ケイ素膜部分および該結晶性ケイ素膜部分と島との接合部を含む島の一部をチャネル領域として半導体素子を形成する第 5 の工程とを含む半導体素子の製造方法。

【請求項 3】 絶縁性基板上に、非晶質ケイ素を触媒元素を用いて結晶化させた結晶性ケイ素からなる複数の島を形成する第 1 の工程と、
各島の上および複数の島に挟まれた領域の上に、該島の膜厚以下の膜厚で非晶質ケイ素膜を積層する第 2 の工程と、
該非晶質ケイ素膜を該島中に含まれる触媒元素により結晶化させて結晶性ケイ素膜とする第 3 の工程と、
該基板の結晶性ケイ素膜側からレーザーアニール処理を施す第 4 の工程と、
複数の島に挟まれた領域の結晶性ケイ素膜部分および該結晶性ケイ素膜部分と島との接合部を含む島の一部をチャネル領域として半導体素子を形成する第 5 の工程とを含む半導体素子の製造方法。

【請求項 4】 前記チャネル領域を覆うように、半導体素子のゲート電極とゲート絶縁膜とを形成し、該ゲート電極をマスクとして前記結晶性ケイ素からなる島に不純物元素をイオン注入する工程を含む請求項 1、2 または 3 に記載の半導体素子の製造方法。

【請求項 5】 前記レーザーアニール処理を施す工程において、該複数の島に挟まれた領域に積層された非晶質ケイ素膜部分、および該非晶質ケイ素膜部分と該島との界面近傍だけを熔融再結晶化し、かつ該島の表面および該表面近傍をシードとして非晶質ケイ素膜を結晶化して結晶性ケイ素膜とする請求項 1 に記載の半導体素子の製

造方法。

【請求項 6】 前記結晶性ケイ素からなる島を、触媒元素により結晶化された結晶性ケイ素領域と、該結晶性ケイ素領域周辺の非晶質ケイ素領域との境界を含むように形成する請求項 3 に記載の半導体素子の製造方法。

【請求項 7】 前記チャネル領域中のキャリアの移動方向を、前記結晶性ケイ素からなる島および複数の島に挟まれた領域の結晶性ケイ素膜の結晶成長方向と概略平行となるようにチャネル領域を形成する請求項 3 に記載の半導体素子の製造方法。

【請求項 8】 前記結晶性ケイ素からなる複数の島に挟まれた領域の結晶性ケイ素膜の結晶粒径および結晶方位と、該島の結晶粒径および結晶方位とが同一となるように、結晶性ケイ素膜および結晶性ケイ素からなる島を形成した請求項 3 に記載の半導体素子の製造方法。

【請求項 9】 前記レーザーアニール処理を施す工程において、該複数の島に挟まれた領域に積層された結晶性ケイ素膜、および該島を熔融再結晶化させることなく、結晶粒内および結晶粒界の格子欠陥密度を低減させる請求項 3 に記載の半導体素子の製造方法。

【請求項 10】 前記結晶性ケイ素からなる複数の島に挟まれた領域の結晶性ケイ素膜の結晶粒径および結晶方位と、該島の結晶粒径および結晶方位とが同一となるように、結晶性ケイ素膜および結晶性ケイ素からなる島を形成する請求項 5 に記載の半導体素子の製造方法。

【請求項 11】 前記レーザーアニール処理を施す工程において、前記島の上に積層された非晶質ケイ素膜を熔融再結晶化させて、該島上の非晶質ケイ素膜と該複数の島に挟まれた領域の非晶質ケイ素膜との段差部を滑らかな形状にする請求項 1 に記載の半導体素子の製造方法。

【請求項 12】 前記結晶性ケイ素からなる複数の島に挟まれた領域の結晶性ケイ素膜中に含まれる触媒元素濃度が、該島中に含まれる触媒元素濃度以下となるように、結晶性ケイ素膜および結晶性ケイ素からなる島を形成する請求項 3 に記載の半導体素子の製造方法。

【請求項 13】 前記触媒元素として、ニッケル (Ni)、鉄 (Fe)、コバルト (Co)、パラジウム (Pd)、白金 (Pt)、錫 (Sn)、インジウム (In)、アルミニウム (Al)、金 (Au)、銀 (Ag)、アンチモン (Sb)、銅 (Cu)、砒素 (As) およびリン (P) の中から選択される少なくとも一つの材料を用いる請求項 3 に記載の半導体素子の製造方法。

【請求項 14】 透明絶縁性基板上に、マトリクス状に配列された複数の画素電極と、各画素電極への信号の供給を制御すべく各画素電極毎に設けられた画素スイッチング半導体素子とを有する映像表示部が形成され、該一方の透明絶縁性基板上における映像表示部外周部分に、該画素スイッチング半導体素子を駆動するドライバー半導体素子を有する周辺駆動回路が形成された表示装置用基板の製造方法であって、

該画素スイッチング半導体素子およびドライバー半導体素子の少なくとも一方を、請求項1ないし13のいずれか1つの半導体素子の製造方法により形成する表示装置用基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、例えばアクティブマトリクス型液晶表示装置（以下AM・LCDと称する）、密着型イメージセンサー、ドライバー内蔵型のサーマルヘッド、有機系EL素子等を発光素子としたドライバー内蔵型の光書き込み素子、三次元IC（集積回路）等にご利用可能な半導体素子の製造方法および表示装置用基板の製造方法に関する。

【0002】

【従来の技術】近年、絶縁性基板上に半導体からなる薄膜状の活性層（チャネル領域）が形成された絶縁ゲート型の半導体素子に関する研究が熱心に行われており、特に、透明絶縁性基板上にTFT（薄膜トランジスタ）を形成する研究が活発に行われている。これらの技術は、安価なガラスまたはプラスチック等の透明絶縁性基板を用いたAM・LCDに代表される薄型ディスプレイや、通常の単結晶シリコンを用いた半導体集積回路の上にTFT等の能動素子を形成する、所謂三次元集積回路等に応用されている。

【0003】上記AM・LCDは、ガラスまたはプラスチック等の透明絶縁性基板上にTFT等の半導体素子と画素電極とがマトリクス状に配列されたアクティブマトリクス基板を備え、この半導体素子を映像表示用の画素電極のスイッチング素子として用いるものである。このAM・LCDは、液晶テレビジョン、ノート型パーソナルコンピュータ等の情報携帯端末や計測機器のディスプレイとして広く活用されている。

【0004】上記TFTのチャネル領域には薄膜状のケイ素半導体を用いるのが一般的である。このケイ素半導体としては、非晶質ケイ素半導体（アモルファスシリコン半導体）と、結晶性を有するケイ素半導体（結晶性ケイ素半導体）との2つに大別される。

【0005】前者の非晶質ケイ素半導体は、作製温度が300℃以下と非常に低く、気相法により比較的容易に作製することが可能で量産性に富むため、最も一般的に用いられている。この非晶質ケイ素半導体を用いたTFTは、電界移動度が $1\text{ cm}^2/\text{V}\cdot\text{s}$ と極めて低い。このため、高速動作が要求されるディスプレイの周辺回路には利用できない。一方、OFF電流（リーク電流とも称される）が0.1 pA以下と非常に小さいので、AM・LCDの映像表示部に形成される画素をスイッチングするためのスイッチング素子のように高速動作がさほど要求されず、かつ、高い電荷保持能力が必要とされる用途に利用されている。

【0006】後者の、結晶性ケイ素半導体は、非晶質ケ

イ素半導体よりも電界移動度が高い。例えば、レーザー照射による熱アニールにより熔融・再結晶化させた結晶性ケイ素半導体を用いたTFTでは、 $300\text{ cm}^2/\text{V}\cdot\text{s}$ という高い電界移動度が得られている。また、結晶性ケイ素半導体を用いたTFTは非晶質ケイ素半導体を用いたTFTよりもON電流が大きい。従って、結晶性ケイ素半導体を用いたTFTをAM・LCDの映像表示部に形成される画素用スイッチング素子として使用すると、短時間で画素電極に電荷を充電することができると共に、表示パネルの大面积化が可能となる。

【0007】更に、単結晶シリコン基板上に作製されたMOS回路がシリコン基板-配線間の寄生容量によりTFTの動作速度が制限されるのに対して、絶縁性基板上に作製されたMOS回路は絶縁性基板上であるが故にそのような制約が何らなくTFTの著しい高速動作が期待できる。また、結晶性ケイ素半導体では、Nチャネル型のTFT（NMOSのTFT）とPチャネル型のTFT（PMOSのTFT）とを組み合わせた相補型のMOS回路（CMOS回路）を形成することが可能である。例えば、AM・LCDにおいては、画素用スイッチング素子をマトリクス状に配設した映像表示部のみならず、その外周に設けられるドライバートランジスタ等の半導体素子を備えた周辺回路部としてのCMOS回路をも同一の絶縁性基板上に形成した、所謂ドライバーモノリシック型のAH・LCDが作製されている。

【0008】また、通常の非晶質ケイ素半導体を用いたTFTでは、単結晶IC技術で使用されているセルフアライン（自己整合化）プロセスによりソース・ドレイン領域を形成することが困難であり、ゲート電極とソース・ドレイン領域との幾何学的な重なりによる寄生容量が問題となる。これに対して、結晶性ケイ素半導体を用いたTFTではセルフアラインプロセスを採用できるので、寄生容量を著しく抑えることができる。

【0009】しかし、結晶性ケイ素半導体を用いたTFTは、ゲートに電圧が印加されていないとき、およびゲートに逆バイアスが印加されたときのOFF電流（リーク電流）が非晶質ケイ素半導体を用いたTFTに比べて大きい。このため、画素電極に充電された電荷を1フレームの間保持することができない。この結果、映像表示パネルの画質が悪くなる上に、表示パネルの大面积化が困難になる。従って、結晶性ケイ素半導体を用いたTFTをAM・LCDに適用するには、このOFF電流（リーク電流）の低減化が重要な課題となる。

【0010】上述のように非晶質ケイ素半導体を用いたTFTと結晶性ケイ素半導体を用いたTFTとは電気特性が大きく異なり、この電気特性の違いを利用したドライバーモノリシック型のAM・LCDが提案されている（特公平2-61032号）。この第1の提案の内容を簡単に説明すると、『まず、ガラス等の透明絶縁性基板上に非晶質ケイ素膜を一様に成膜した後、アク

ティブマトリクス映像表示部の外周に設けられる周辺駆動回路作製領域の非晶質ケイ素膜に対して選択的にレーザー光を照射して結晶性ケイ素化を行う。この結果、周辺駆動回路中のトランジスタの電界移動度が映像表示部の画素スイッチングトランジスタの電界移動度よりも高くなる。』というものである。現在のところ、このようなレーザー光の照射による結晶化技術は、レーザー光の照射面積が小さいためにスループットが低いという問題があり、また、大面積の全面を均一に処理するにはレーザー光の照射エネルギー密度の安定性と均一性が十分ではない。また、アクティブマトリクス映像表示部には電界移動度の低い非晶質ケイ素半導体を用いたTFTを使用することになるので、AM・LCDの大型化（大面積化）等のより高度な利用は困難である。

【0011】上記第1の提案とは別に、結晶性ケイ素半導体を用いて、アクティブマトリクス映像表示部の画素スイッチングトランジスタにおけるOFF電流の低減化と、周辺駆動回路部のドライバートランジスタの電界移動度の高移動度化との両立を可能にする方法が提案されている（特開平5-323361号）。この第2の提案の内容を簡単に説明すると、『画素スイッチング用薄膜半導体素子群の活性層（チャンネル領域）がその膜厚を薄く設定した結晶性ケイ素層により構成されているため、その膜厚効果により抵抗が上がりOFF電流の低減が図れる。一方、周辺駆動回路における薄膜半導体素子群の活性層が画素スイッチング用薄膜半導体素子群の活性層よりその膜厚を厚く設定した結晶性ケイ素層により構成され、その結晶性ケイ素層の結晶粒径が大きいので、電界移動度を高めることが可能となる。』というものである。

【0012】しかし、この第2の提案では、活性層領域の薄膜化手段としてウェットエッチング法あるいはドライエッチング法を用いているので、エッチングのダメージにより活性層の結晶性ケイ素膜表面および表面近傍の結晶性がエッチング前の状態よりもかなり悪くなっている。つまり、活性層表面および表面近傍における格子欠陥密度が大きくなり、ゲート絶縁膜との界面が良好に作製されないで、TFTの特性に悪影響を及ぼす。またこの第2の提案では、活性層とソース・ドレイン領域とが同じ膜厚なので、活性層の膜厚が薄くなると共にソース・ドレイン領域と配線金属との電気的コンタクトがとりにくくなるという問題が生じる。

【0013】このソース・ドレイン領域と配線金属とのコンタクトの問題と、活性層の薄膜化によるOFF電流の低減化との両立を可能にする方法が提案されている

（特開平6-163900号）。その第3の提案の内容を簡単に説明すると、『チャンネルの形成される領域（活性層）の多結晶シリコン（結晶性ケイ素膜）の膜厚のみを薄くすることによってリーク電流（OFF電流）を減らすと共に、ソース・ドレイン領域と配線金属とのコン

タクトを確実にとるTFT構造とする。』というものである。しかし、この第3の提案においても、活性層の薄膜化の手段としてエッチング法を用いているため、エッチングのダメージにより活性層の結晶性ケイ素膜表面および表面近傍の結晶性がエッチング前の状態よりもかなり悪くなるという問題は残る。

【0014】また、OFF電流の低減化対策として、チャンネル領域の膜厚をソース・ドレイン領域の膜厚よりも薄くする方法が提案されている（特開平5-102483号）。この第4の提案ではチャンネル領域の薄膜化の手段としてドライO₂（酸素）が使用されており、結晶性ケイ素膜のうち、チャンネル形成領域だけを950℃以上の高温で酸化し、チャンネル形成領域の大部分を結晶性ケイ素酸化膜に変化させている。この結果、ソース・ドレイン領域の膜厚よりも薄い膜厚のチャンネル領域を形成することができる。しかし、ドライO₂を用いた酸化法のような高温プロセスでは、高温であるが故に安価なガラス基板が使用できないというコスト面の問題がある。

【0015】ところで、上記AM・LCDに利用されている真性半導体である結晶性ケイ素半導体としては、多結晶ケイ素、微結晶を含む非晶質ケイ素、結晶性と非晶質性との中間の状態を有するセミアモルファスケイ素等が知られている。また、これら結晶性ケイ素半導体の薄膜を得る方法としては、以下の3つの方法が知られている。

【0016】第1の方法は、半導体膜の成膜を、高温プロセス（600℃以上の温度を伴うプロセス）によって半導体膜に結晶性を持たせながら行う方法である。

【0017】第2の方法は、低温プロセス（600℃以下の温度を伴うプロセス）によって非晶質の半導体膜を成膜し、その後、レーザー光のエネルギーにより半導体膜を結晶性を有するものにする方法である。

【0018】第3の方法は、低温プロセス（600℃以下の温度を伴うプロセス）によって非晶質の半導体膜を成膜し、その後、熱エネルギーを加えることにより半導体膜を結晶性を有するものにする方法である。

【0019】しかし、これら第1～第3の方法には以下のような問題点がある。第1の方法では、成膜工程と同時に結晶化が進行するので、結晶粒サイズが大きい結晶性シリコンを得るためにはシリコン膜を厚膜にすることが不可欠であり、良好な半導体物性を有する膜を基板上に全面にわたって均一に成膜することが技術上困難である。また、成膜温度が600℃以上と高いので、安価なガラス基板が使用できないというコスト上の問題がある。

【0020】第2の方法では、熔融固化過程の結晶化現象を利用するので、結晶粒サイズが小さいにも拘らず、結晶粒界と結晶粒内とが良好に処理されて高品質な結晶性ケイ素膜が得られる。しかし、現在最も一般的に使用されているエキシマレーザーを例にとると、レーザー光

の照射面積が小さいため、スルーボットが低いという問題があり、また大面積基板の全面を均一に処理するにはレーザー光のエネルギー密度の安定性と均一性が十分ではなく、次世代の技術という感が強い。

【0021】第3の方法では、上記第1および第2の方法と比較すると大面積の基板に対応できるという利点があるが、固相結晶化現象を利用するので、結晶粒が基板面に平行に拡がりながら成長し、中には数 μm の粒径を持つものも現れ、成長の際に結晶粒同士がぶつかり合っ

て結晶粒界が形成される。この結晶粒界および結晶粒内には多数の格子欠陥（または転移）が生じており、この格子欠陥（または転移）がキャリア（電気伝導に寄与する電子または正孔）に対するトラップ準位として働くので、TFT特性、特に電界移動度を低下させる大きな原因となっている。

【0022】そこで、上記第1、第2および第3の方法に伴う様々な問題を解決するために、上記第3の方法において、固相結晶化に必要な温度の低温化と加熱処理時間の短縮とを両立し、さらに結晶粒界および結晶粒内の格子欠陥（または転移）の影響を最小限に抑えた結晶性

ケイ素膜の作製方法が提案されている（特願平5-218156号）。この第5の提案の方法では、結晶成長の核としてニッケル（Ni）等の非晶質ケイ素の結晶化を助長する不純物元素（以下、このような非晶質ケイ素の結晶化を助長する不純物元素を「触媒元素」と称する）を非晶質ケイ素膜に導入している。この触媒元素により結晶化初期の核生成速度とその後の核成長速度とが飛躍的に向上し、それ以前の固相結晶化技術では考えられなかったような550℃以下の温度において4時間程度の熱処理で十分な結晶性を有する結晶性ケイ素膜が形成さ

域を利用してTFTの活性層（チャネル領域）を形成すると、高い電界移動度を有する高性能なTFTを作製することが可能となる。

【0024】図15は、ラテラル成長領域を利用して作製したTFTを基板上面からみた平面図である。このTFTの作製は、以下のようにして行う。まず、透明絶縁性基板全面に形成された非晶質ケイ素膜上に二酸化ケイ素膜等からなるマスク膜を積層し、マスク膜に触媒元素添加用の開口部（図中の触媒元素添加領域500に対応する部分）を形成する。この開口部を通して非晶質ケイ素膜に選択的にニッケル（Ni）等の触媒元素を導入し、600℃以下の温度、例えば、550℃で4時間程度の熱処理を窒素雰囲気中で行うと、開口部に対応する触媒元素添加領域500の非晶質ケイ素膜だけが結晶化され、それ以外の領域は非晶質ケイ素膜のまま残される。さらに、8時間程度の熱処理を継続すると、触媒元素添加領域500を中心として矢印501に示す結晶成長方向（基板面に対して概略平行な方向）に結晶成長が拡がってラテラル成長領域502が形成される。ただし、ラテラル成長領域502の外側の領域はまだ非晶質ケイ素の状態で残される。その後、このラテラル成長領域502を利用して従来の方法に従ってTFTを作製する。その際、ラテラル成長領域502に対してソース領域503、活性層（チャネル領域）504およびドレイン領域505を図15に示すような配置で設けると、キャリア（電気伝導に寄与する電子または正孔）の移動方向と結晶成長方向501とが同一方向となり、キャリアの移動方向に結晶粒界が極めて少なくなって、高い電界移動度および高いON電流特性を有するTFTを実現することができる。

【0025】このように第5の提案方法（特願平5-218156号）を用いると、固相成長プロセス温度の低温化および熱アニール時間の短縮化だけでなく、高性能のTFTが実現できる。しかも、この高い電界移動度および高いON電流特性を有するTFTを、アクティブマトリクス基板の周辺回路のドライバー素子等として利用すると、周辺駆動回路に要求される高速動作を実現することができる。また、第5の提案では、透明絶縁性基板上に非晶質ケイ素を主構成部材とするアクティブマトリクス映像表示部を形成し、同一基板上にこの映像表示部を囲む形でTFT等の半導体素子からなる周辺駆動回路を形成している。このようなドライバモノリシック型のアクティブマトリクス基板は、周辺回路形成領域の非晶質ケイ素膜内に選択的にニッケル（Ni）等の触媒元素を導入することにより作製することができる。

【0026】また、第5の提案によれば、高速動作が要求される周辺回路のドライバーTFTをそのソース・ドレイン領域がラテラル成長領域の成長方向と平行な方向に並ぶように形成し、一方の映像表示部の画素スイッチングTFTをそのソース・ドレイン領域がラテラル成長

領域の成長方向と垂直な方向に並ぶように形成して、両者を同一の絶縁性基板上に作り分けることも可能である。このように周辺駆動回路部のドライバーTFTと映像表示部の画素スイッチングTFTとを作り分ける根拠は、第5の提案である特願平5-218156号によれば、『周辺駆動回路に用いるTFTは、キャリアがソース・ドレインを移動する際に結晶粒界の影響を極力受けない構成とし、これによって高移動度のTFTを得ることができる。一方、画素部の画素スイッチング素子として用いるTFTはキャリアがソース・ドレインを移動する際に結晶粒界を横切るような構造とし、これによってソース・ドレイン間の領域を高抵抗としてOFF電流を下げるができる。』というものである。しかし、触媒元素を用いない場合に比べてソース・ドレイン領域とチャネル領域との接合部におけるトラップ準位の低減が望めず、これに起因するリーク電流は低減できないため、OFF電流を十分に下げることができない。

【0027】一方、第5の提案(特願平5-218156号)とは全く異なる固相結晶化技術が提案されている(特開平2-84772号)。この第6の提案の内容は、『絶縁性基板上にソース・ドレイン形成領域の第1の結晶性ケイ素島を、その結晶性ケイ素島の全領域にリン(P)、臭素(B)、ヒ素(As)のいずれか1種類の不純物元素がドーピングされているように作製する。次に、第2の非晶質ケイ素膜を、第1ソース形成領域とドレイン形成領域との2つの結晶性ケイ素島の表面全体とその間とに積層し、第1の結晶性ケイ素島表面をシードとして第2の非晶質ケイ素膜を固相成長法により結晶化させる。』というものである。また、この第6の提案における効果としては、TFTのチャネル領域における結晶性ケイ素膜の大粒径化およびチャネル領域に存在する結晶粒界の場所の制御が挙げられている。

【0028】しかし、第6の提案の方法により得られる結晶性ケイ素は、結晶粒界および結晶粒内の格子欠陥(転移)密度の低減化がなされておらず、それほど良い結晶性にならない。しかも、ソース・ドレイン形成領域の第1の結晶性ケイ素島全領域(島内部も含む)にはじめから不純物元素がドーピングされているのでセルフアライン(自己整合化)プロセスを用いることが事実上困難である。

【0029】

【発明が解決しようとする課題】上述のようにTFT等の半導体素子は、高い電界移動度、高いON電流特性および極めて低いOFF電流特性等の特性向上が要求されている。例えばドライバーモノリシック型のAM・LCDにおいて、アクティブマトリクス映像表示部の画素スイッチング用のTFTは、各画素毎に設けられる液晶容量と補助蓄積容量とに極めて短い一定時間で電荷を充電できるような高い電界移動度と十分なON電流特性が要求され、しかも充電された電荷を1フレームの期間内保

持する必要があるためOFF電流が極めて低いことが要求される。一方、アクティブマトリクス映像表示部の外周に設けられる周辺駆動回路のドライバー用TFTに代表される半導体素子は、画素スイッチング用TFTよりも速い高速動作が要求されるので、より高い電界移動度が要求される。

【0030】しかしながら、このような半導体素子の特性向上を図るために、上述のように様々な技術提案がなされているが、従来の技術では十分に解決されていない諸問題がある。例えばチャネル領域に結晶性ケイ素を用いたTFTにおいて、OFF電流の低減化には活性層の薄膜化が有効であるが、ドライエッチング法やウェットエッチング法を用いた場合には、膜表面および表面近傍のエッチングによるダメージが無視できない。よって、膜表面および内部に渡って良好な結晶性を有し、かつ膜厚の薄い結晶性ケイ素膜をチャネル領域とする新しい技術が必要となる。

【0031】また、ソース・ドレイン形成領域の結晶性ケイ素膜が薄くなると、ソース・ドレイン領域と配線金属との電気的コンタクトが取れなくなるという問題がある。よって、ソース・ドレイン形成領域は良好な電気的コンタクトが取れる膜厚を必要とし、かつ良好な結晶性を有するものでなければならない。

【0032】さらに、このような問題を解決するために製造プロセスを複雑にして良品率の低下や製造コストの上昇を招くことは望ましくない。特に、製造コストの削減と製造プロセス温度の低温化および表示パネルの大面積化を実現するためには、安価なガラス基板を用いるのが望ましく、このためには製造プロセス温度を600℃以下にすることが必要である。

【0033】本発明は、このような従来技術の課題を解決すべくなされたものであり、周辺駆動回路のドライバー半導体素子に要求されるような高い電界移動度と十分なON電流、映像表示部の画素スイッチング半導体素子に要求されるような極めて低いOFF電流、およびソース・ドレイン領域と配線金属との良好なコンタクトを有し、低温プロセスにより安定して歩留まり良く得られる半導体素子の製造方法および表示装置用基板の製造方法を提供することを目的とする。

【0034】

【課題を解決するための手段】本発明の半導体素子の製造方法は、絶縁性基板上に、結晶性ケイ素からなる複数の島を形成する第1の工程と、各島の上および複数の島に挟まれた領域の上に、該島の膜厚以下の膜厚で非晶質ケイ素膜を積層する第2の工程と、該基板の非晶質ケイ素膜側からレーザーアニール処理を施す第3の工程と、複数の島に挟まれた領域の結晶性ケイ素膜部分および該結晶性ケイ素膜部分と島との接合部を含む島の一部をチャネル領域として半導体素子を形成する第4の工程とを含み、そのことにより上記目的が達成される。

【0035】本発明の半導体素子の製造方法は、絶縁性基板上に、結晶性ケイ素からなる複数の島を形成する第1の工程と、各島の上および複数の島に挟まれた領域の上に、該島の膜厚以下の膜厚で非晶質ケイ素膜を積層する第2の工程と、該非晶質ケイ素膜を固相成長法により結晶性ケイ素膜とする第3の工程と、該基板の結晶性ケイ素膜側からレーザーアニール処理を施す第4の工程と、複数の島に挟まれた領域の結晶性ケイ素膜部分および該結晶性ケイ素膜部分と島との接合部を含む島の一部をチャンネル領域として半導体素子を形成する第5の工程とを含み、そのことにより上記目的が達成される。

【0036】本発明の半導体素子の製造方法は、絶縁性基板上に、非晶質ケイ素を触媒元素を用いて結晶化させた結晶性ケイ素からなる複数の島を形成する第1の工程と、各島の上および複数の島に挟まれた領域の上に、該島の膜厚以下の膜厚で非晶質ケイ素膜を積層する第2の工程と、該非晶質ケイ素膜を該島中に含まれる触媒元素により結晶化させて結晶性ケイ素膜とする第3の工程と、該基板の結晶性ケイ素膜側からレーザーアニール処理を施す第4の工程と、複数の島に挟まれた領域の結晶性ケイ素膜部分および該結晶性ケイ素膜部分と島との接合部を含む島の一部をチャンネル領域として半導体素子を形成する第5の工程とを含み、そのことにより上記目的が達成される。

【0037】本発明の半導体素子の製造方法において、前記チャンネル領域を覆うように、半導体素子のゲート電極とゲート絶縁膜とを形成し、該ゲート電極をマスクとして前記結晶性ケイ素からなる島に不純物元素をイオン注入する工程を含んでもよい。

【0038】本発明の半導体素子の製造方法において、前記レーザーアニール処理を施す工程において、該複数の島に挟まれた領域に積層された非晶質ケイ素膜部分、および該非晶質ケイ素膜部分と該島との界面近傍だけを熔融再結晶化し、かつ該島の表面および該表面近傍をシードとして非晶質ケイ素膜を結晶化して結晶性ケイ素膜とするようにしてもよい。

【0039】本発明の半導体素子の製造方法において、前記結晶性ケイ素からなる島を、触媒元素により結晶化された結晶性ケイ素領域と、該結晶性ケイ素領域周辺の非晶質ケイ素領域との境界を含むように形成するようにしてもよい。

【0040】本発明の半導体素子の製造方法において、前記チャンネル領域中のキャリアの移動方向を、前記結晶性ケイ素からなる島および複数の島に挟まれた領域の結晶性ケイ素膜の結晶成長方向と概略平行となるようにチャンネル領域を形成するようにしてもよい。

【0041】本発明の半導体素子の製造方法において、前記結晶性ケイ素からなる複数の島に挟まれた領域の結晶性ケイ素膜の結晶粒径および結晶方位と、該島の結晶粒径および結晶方位とが同一となるように、結晶性ケイ

素膜および結晶性ケイ素からなる島を形成してもよい。

【0042】本発明の半導体素子の製造方法において、前記レーザーアニール処理を施す工程において、該複数の島に挟まれた領域に積層された結晶性ケイ素膜、および該島を熔融再結晶化させることなく、結晶粒内および結晶粒界の格子欠陥密度を低減させるようにしてもよい。

【0043】本発明の半導体素子の製造方法において、前記結晶性ケイ素からなる複数の島に挟まれた領域の結晶性ケイ素膜の結晶粒径および結晶方位と、該島の結晶粒径および結晶方位とが同一となるように、結晶性ケイ素膜および結晶性ケイ素からなる島を形成するようにしてもよい。

【0044】本発明の半導体素子の製造方法において、前記レーザーアニール処理を施す工程において、前記島の上に積層された非晶質ケイ素膜を熔融再結晶化させて、該島上の非晶質ケイ素膜と該複数の島に挟まれた領域の非晶質ケイ素膜との段差部を滑らかな形状にするようにしてもよい。

【0045】本発明の半導体素子の製造方法において、前記結晶性ケイ素からなる複数の島に挟まれた領域の結晶性ケイ素膜中に含まれる触媒元素濃度が、該島中に含まれる触媒元素濃度以下となるように、結晶性ケイ素膜および結晶性ケイ素からなる島を形成するようにしてもよい。

【0046】本発明の半導体素子の製造方法において、前記触媒元素として、ニッケル(Ni)、鉄(Fe)、コバルト(Co)、パラジウム(Pd)、白金(Pt)、錫(Sn)、インジウム(In)、アルミニウム(Al)、金(Au)、銀(Ag)、アンチモン(Sb)、銅(Cu)、砒素(As)およびリン(P)の中から選択される少なくとも一つの材料を用いるようにしてもよい。

【0047】本発明の表示装置用基板の製造方法は、透明絶縁性基板上に、マトリクス状に配列された複数の画素電極と、各画素電極への信号の供給を制御すべく各画素電極毎に設けられた画素スイッチング半導体素子とを有する映像表示部が形成され、該一方の透明絶縁性基板上における映像表示部外周部分に、該画素スイッチング半導体素子を駆動するドライバ半導体素子を有する周辺駆動回路が形成された表示装置用基板の製造方法であって、該画素スイッチング半導体素子およびドライバ半導体素子の少なくとも一方を、上述した本発明のいずれか1つの半導体素子の製造方法により形成し、そのことにより上記目的が達成される。

【0048】

【作用】本発明においては、絶縁性基板上にソース・ドレイン領域を構成する結晶性ケイ素からなる複数の島を形成し、各島の上および複数の島に挟まれた領域に、島の膜厚以下の膜厚の非晶質ケイ素膜を積層している。低

OFF電流を得るためのチャネル領域の薄膜化を成膜の段階で行っているため、エッチング法により薄膜化する場合のようなチャネル領域表面および表面近傍のダメージ等が生じず、ドライ O_2 を用いた場合のように高温プロセスを必要としない。また、ソース領域およびドレイン領域は十分な膜厚にすることができるので、配線金属とのコンタクトを良好なものにすることができる。

【0049】この非晶質ケイ素膜の積層直後にレーザーアニール処理を施して溶融再結晶化させることにより、チャネル領域の結晶性を高めることができる。つまり、溶融再結晶化後に得られるチャネル領域内部の結晶粒径は数千オングストローム程度であり、固相成長法で得られる結晶粒径数十 μm に比べて非常に小さいけれどもレーザーアニール処理により個々の結晶粒内および結晶粒界の格子欠陥密度が大幅に低減されて結晶性が高められている。従って、高い電界移動度、高いON電流および極めて低いリーク電流等の電気特性が得られる。

【0050】また、非晶質ケイ素膜に対してレーザーアニール処理を施す際に、複数の島上に積層された非晶質ケイ素膜を溶融再結晶化することにより、複数の島に挟まれた領域の結晶性ケイ素膜と島との段差部を滑らかな形状にすることができる。この結果、続いて積層されるゲート絶縁膜の被覆性を良好にすることができる。

【0051】さらに、レーザーアニール処理を施す際に、上記複数の島に挟まれた領域に積層された非晶質ケイ素膜、および島と非晶質ケイ素膜との界面近傍だけを溶融再結晶化し、島の表面および表面近傍をシードとして非晶質ケイ素膜を結晶化すると、得られる結晶性ケイ素膜を大粒径化すると共にチャネル領域に存在する結晶粒界の制御を行うことができる。また、半導体島表面近傍の結晶性を反映した結晶性ケイ素膜にすることができる。さらに良好な結晶性とすることができる。

【0052】上述のように非常に高い結晶性を有する結晶性ケイ素膜を得るために、上記結晶性ケイ素からなる島上および複数の島に挟まれた領域に島の膜厚以下の膜厚の非晶質ケイ素膜を積層し、これを固相成長して比較的結晶粒径の大きい数 μm ～数十 μm 程度の結晶性ケイ素膜にしてもよい。さらに、その結晶性ケイ素膜、または島に対してレーザーアニール処理を施して、チャネル領域、またはソース領域およびドレイン領域の結晶性を高めてもよい。この場合、さらに高い電界移動度、高いON電流および極めて低いリーク電流等の電気特性が得られる。

【0053】このレーザーアニール処理は、上記複数の島、または複数の島に挟まれた領域に積層された結晶性ケイ素膜、あるいはその両方に対して膜や島を完全に溶融再結晶化させない程度のレーザーパワー、例えば $300 mJ/cm^2$ 以下のエネルギー密度で行うことにより、個々の結晶粒内および結晶粒界の格子欠陥密度を低減することができる。

【0054】非晶質ケイ素の結晶化を助長するニッケル(Ni)等の触媒元素を使用すると、従来の固相成長法では実現できない $600^\circ C$ 以下、例えば $550^\circ C$ 程度の低温プロセスで非晶質ケイ素の固相結晶化を行うことができる。この触媒元素により結晶化された結晶性ケイ素の結晶粒の形状は柱状または針状であり、しかも全ての結晶粒の結晶成長方向が基板面に対して概略平行な方向になっているために、結晶成長方向に沿った方向では結晶粒界が極めて少ない。TFTのソース・ドレイン領域およびチャネル領域をこの結晶成長方向と概略平行になるように配置すると、チャネル領域中のキャリア(電気伝導に寄与する電子あるいは正孔)の移動方向を結晶成長方向と概略平行にできるので、極めて高い電界移動度および高いON電流特性を得ることができる。

【0055】また、触媒元素により結晶化された結晶性ケイ素領域(ラテラル成長領域)とその周辺の非晶質ケイ素領域との境界を含むように結晶性ケイ素からなる島を作製すると、結晶性ケイ素島上に積層される非晶質ケイ素膜の結晶化を容易に行うことができる。なぜなら、触媒元素はラテラル成長領域の成長先端部、即ち結晶化された結晶性ケイ素領域とその外周の非晶質ケイ素領域との境界に偏在しているため、結晶性ケイ素からなる島がこの境界を含むように形成すると、その上に積層される非晶質ケイ素膜を触媒元素により結晶化させることができるからである。また、結晶性ケイ素からなる島がこの境界を含まずにラテラル成長領域内だけで形成されている場合には、その上に積層される非晶質ケイ素膜の結晶化温度を高くする必要があり、しかもこの非晶質ケイ素膜を全て結晶化させるのに十分なラテラル成長距離を得ることが困難となる。

【0056】また、上記結晶性ケイ素からなる島および結晶性ケイ素膜にレーザーアニール処理を施して、チャネル領域およびソース・ドレイン領域の結晶性をさらに高めてもよい。このレーザーアニール処理は、上記複数の島または複数の島に挟まれた領域に積層された結晶性ケイ素膜、あるいはその両方に対して、膜や島を完全に溶融再結晶化させない程度のレーザーパワー、例えば $300 mJ/cm^2$ 以下のエネルギー密度で行うことにより、個々の結晶粒内および結晶粒界の格子欠陥密度を低減することができ、格子欠陥が殆ど無い極めて質の高い結晶性ケイ素とすることができる。その結果、極めて高い電界移動度および高いON電流が得られ、しかもチャネル領域を十分薄くすることにより極めて低いOFF電流とすることができる。

【0057】上記非晶質ケイ素膜の結晶化に必要な触媒元素濃度は、結晶化を促すために最低限必要な極めて少ない量($1.0 \times 10^{11} \sim 1.0 \times 10^{16} atoms/cm^2$ 程度)である。この程度の触媒元素が結晶性ケイ素からなる複数の島に挟まれた領域の結晶性ケイ素膜(チャネル領域)中に含まれていても、この触媒元素に

起因するリーク電流は極めて小さい。また、結晶性ケイ素からなる島中に含まれていると、この触媒元素によりソース・ドレイン領域の電気抵抗が十分に低い状態となつて、ON電流が低くなり難い。

【0058】上記触媒元素として、ニッケル (Ni)、鉄 (Fe)、コバルト (Co)、パラジウム (Pd)、白金 (Pt)、錫 (Sn)、インジウム (In)、アルミニウム (Al)、金 (Au)、銀 (Ag)、アンチモン (Sb)、銅 (Cu)、砒素 (As) およびリン

(P) の中から選択される少なくとも一つの材料を用いると、非晶質ケイ素膜の結晶化を助長することができる。

【0059】また、上記チャネル領域を覆うようにゲート電極とゲート絶縁膜とを形成し、ゲート電極をマスクとして上記結晶性ケイ素からなる島に不純物元素をイオン注入することによりセルフアラインプロセスによりソース・ドレイン領域を形成できるので、ゲート電極とソース・ドレイン領域との幾何学的な重なりによる寄生容量を抑えることができる。

【0060】本発明のアクティブマトリクス基板は、上記半導体素子を画素スイッチング半導体素子および／またはドライバ半導体素子として用いており、周辺駆動回路と映像表示部との各々に要求される異なる電気特性を両立させて低温プロセスにより作製することができる。

【0061】

【実施例】以下に本発明の実施例について、図面を参照しながら説明する。

【0062】(実施例1) この実施例では、絶縁性基板上に形成されたN型(またはP型)のTFTを作製した。

【0063】図1は、本実施例のTFT10を示す断面図である。このTFT10は、絶縁性基板101上に絶縁性下地膜102を介して形成されている。絶縁性下地膜102の上には、TFT10のソース領域104、ドレイン領域105およびチャネル領域の一部107を構成する結晶性ケイ素膜からなる結晶性ケイ素島103aが形成されている。結晶性ケイ素島103aの上および複数の結晶性ケイ素島103aの間に挟まれた領域106の上には、結晶性ケイ素島103aの膜厚以下である膜厚の結晶性ケイ素膜103bが積層されている。複数の結晶性ケイ素島103aの間に挟まれた領域106と、その上の結晶性ケイ素膜103bと、結晶性ケイ素島103aと、その上の結晶性ケイ素膜103bとから共にN型(またはP型)のソース領域104とドレイン領域105とを除いた残りの領域107(結晶性ケイ素島103aと結晶性ケイ素膜103bとの接合部を含む部分)がチャネル領域となっている。結晶性ケイ素膜103bの上には、2カ所に設けたコンタクトホール108a、108bを除く基板全面に渡ってゲート絶縁膜1

09が形成され、その上にチャネル領域106、107と対向するように金属からなるゲート電極110が形成されている。ゲート電極110の表面は酸化層111により被覆されている。TFT10は、2カ所に設けたコンタクトホール108a、108bを除く基板全面に渡って形成された層間絶縁膜112に覆われており、コンタクトホール108a、108bは、層間絶縁膜112およびゲート絶縁膜109を貫通している。層間絶縁膜112の上には金属電極113a、113bが所定の範囲に形成され、コンタクトホール108aおよび108bに一部充填されてソース領域104およびドレイン領域105と電氣的に接続されている。

【0064】このTFT10の製造工程について図2を参照しながら説明する。図2は、この実施例のTFT10の作製工程の概要を示す断面図である。

【0065】まず、図2(A)に示すように、ガラス等の絶縁性基板101上に、スパッタリング法または常圧CVD(APCVD)法等により厚さ10~300nm、例えば300nmの二酸化ケイ素(SiO_2)または窒化ケイ素(Si_3N_4)等からなる絶縁性下地膜102を形成する。

【0066】次に、絶縁性下地膜102上にプラズマCVD(PECVD)法または減圧CVD(LPCVD)法により、厚さ50~200nm、例えば100nmの真性半導体ケイ素である非晶質ケイ素膜103を成膜する。続いて、上記基板に対して、窒素雰囲気中において600℃以下の温度、例えば600℃で24時間の熱アニールを行って、非晶質ケイ素膜103を固相成長法により結晶化させる。この非晶質ケイ素膜103の結晶化は非晶質ケイ素膜の積層直後にレーザーアニール処理により行ってもよく、また、固相成長法により結晶化させた後にレーザーアニール処理を行ってより結晶性の高い状態としてもよい。

【0067】次に、図2(B)に示すように、上記結晶性ケイ素膜103をドライエッチング法またはウェットエッチング法等の一般的な手法を用いて島状に加工して、結晶性ケイ素島103aを形成する。

【0068】次に、基板全面に渡って、結晶性ケイ素島103aの膜厚以下、例えば膜厚30nmの非晶質ケイ素膜をプラズマCVD法または減圧CVD法により積層する。続いて、図2(C)に示すように、ドライエッチング法またはウェットエッチング法等の一般的な手法を用いて、結晶性ケイ素島103aの上および複数の結晶性ケイ素島103aの間に挟まれた領域106以外の領域の非晶質ケイ素膜を除去して非晶質ケイ素膜103bとする。

【0069】次に、図2(C)に示すように、この非晶質ケイ素膜103b側からレーザーアニール処理を行って非晶質ケイ素膜103bおよび、結晶性ケイ素島103aと非晶質ケイ素膜103bとの界面近傍を熔融再結

晶化させ、結晶性ケイ素島103a表面および表面近傍をシードとして非晶質ケイ素膜を結晶性ケイ素膜とする。この実施例ではレーザー光としてKrFエキシマレーザー（波長248nm）またはXeClエキシマレーザー（波長308nm）を用いるが、他のレーザーを用いてもよい。レーザー光の照射条件は、エネルギー密度200~400mJ/cm²、例えば300mJ/cm²とし、1カ所につき2~10ショット、例えば2ショットとする。この非晶質ケイ素膜103bの結晶化は、非晶質ケイ素膜の積層直後にレーザーアニール処理により行う代わりに、固相成長法により結晶化させた後にレーザーアニール処理を行ってより結晶性の高い状態としてもよい。例えば、非晶質ケイ素膜103bを窒素雰囲気中において600℃以下の温度、例えば600℃で24時間の熱アニールを行って、非晶質ケイ素膜103bを固相成長させて結晶性ケイ素膜とする。続いて、この結晶性ケイ素膜103bに対して、膜全体を完全溶解させない程度のレーザーパワー、例えば300mJ/cm²でレーザーアニールを行うことにより、結晶性ケイ素膜103bの結晶粒界、結晶粒内の格子欠陥密度の低減を図り、結晶性ケイ素膜の結晶性を高くしてもよい。

【0070】その後、図2(D)に示すように、スパッタリング法またはPECVD法により厚さ100~300nm、例えば100nmの二酸化ケイ素膜等からなるゲート絶縁膜109を成膜する。スパッタリング法による場合にはターゲットとして二酸化ケイ素を用い、スパッタリング時の基板温度は200~400℃、例えば350℃とし、スパッタリング雰囲気は酸素とアルゴンとをアルゴン/酸素=0~0.5、例えば0.1以下とする。また、PECVD法による場合には、材料ガスとしてTEOS (Tetra Ethoxy Silane) と酸素との混合ガスを使用する。

【0071】次に、スパッタリング法により厚さ600~800nm、例えば600nmのアルミニウム膜（0.1~2%のケイ素を含む）を成膜する。このアルミニウム膜の成膜工程は、上記二酸化ケイ素膜等からなるゲート絶縁膜109の成膜工程と連続的に行うのが望ましい。そして、このアルミニウム膜をパターニングしてゲート電極110を形成する。続いて、ゲート電極110の表面を陽極酸化して表面に酸化物層111を形成する。この陽極酸化は、酒石酸アンモニウムが1~5%含まれたエチレングリコール溶液で行う。得られる酸化物層111の厚さは50~200nm、例えば100nmである。このとき得られる酸化物層111の厚みは、後のイオンドーピング工程においてオフセットゲート領域の長さとなるので、オフセットゲート領域の長さをこの陽極酸化工程で決めることができる。このオフセットゲート領域は、必ずしも陽極酸化法を用いずともよく、たとえばレジストでゲート電極を覆うことにより形成してもよい。

【0072】続いて、イオンドーピング法により、ゲート電極110とその周囲の酸化層111をマスクとして、半導体層としての結晶性ケイ素島103aおよび結晶性ケイ素膜103bに不純物金属元素（リンまたはホウ素）を注入する。ドーピングガスとしてはフォスフィン（PH₃）またはジボラン（B₂H₆）を用い、前者の場合は加速電圧を60~90kV、例えば80kVとし、後者の場合は加速電圧を40~80kV、例えば65kVとし、ドーズ量は1×10¹⁴~8×10¹⁶cm⁻²（例えば、リンを2×10¹⁵cm⁻²、ホウ素を5×10¹⁵cm⁻²）とする。ドーピングの際に、ドーピングが不要な領域をフォトレジストで覆うことにより各々の元素を選択的にドーピングすることができる。この結果、N型（またはP型）の不純物領域であるソース領域104、ドレイン領域105が形成される。また、N型（またはP型）のソース・ドレイン領域104、105に挟まれた領域107および106は、ゲート電極110と酸化物層111とによりマスクされて不純物が注入されずにチャンネル領域となる。

【0073】その後、イオン注入した不純物の活性化をレーザーアニール法により行う。この実施例ではレーザー光としてKrFエキシマレーザー（波長248nm）またはXeClエキシマレーザー（波長308nm）を用いるが、他のレーザーを用いてもよい。レーザー光の照射条件は、エネルギー密度200~400mJ/cm²、例えば350mJ/cm²とし、1カ所につき2~10ショット、例えば2ショットとする。このレーザー光の照射時に基板を200℃~450℃程度に加熱しておくことは有用である。

【0074】次に、図2(E)に示すように、厚さ400~700nm、例えば600nmの二酸化ケイ素膜等からなる層間絶縁膜112をプラズマCVD法により形成する。この層間絶縁膜112とゲート絶縁膜109とにコンタクトホール108a、108bを形成して、金属材料、例えば窒化チタンとアルミニウムとの多層膜（厚み300nm~2μm、例えば750nm）によってTFTの電極配線113a、113bを形成し、ソース領域104、ドレイン領域105と電氣的に接続させる。

【0075】最後に、1気圧の水素雰囲気下で350℃、30分以上の熱アニールを行い、N型（またはP型）のTFT10を完成させる。

【0076】このようにして得られるN型（またはP型）TFT10は、成膜時にチャンネル領域を薄くしているのでチャンネル領域表面およびその近傍のダメージ等が生じず、高温プロセスを必要としない。また、ソース領域およびドレイン領域を十分な膜厚にすることができるので、配線金属とソース領域およびドレイン領域とのコンタクトも良好なものにすることができる。さらに、レーザーアニール処理によりチャンネル領域やソース領域お

よびドレイン領域の結晶性を高くすることができ、ゲート絶縁膜との界面も良好なものにすることができる。従って、低温プロセスにより高い電界移動度、高いON電流および極めて低いOFF電流等の電気特性を実現することができる。複数の島に挟まれた領域の結晶性ケイ素膜と島との段差部は滑らかな形状にされているので、ゲート絶縁膜の絶縁不良が生じない。さらに、セルフアラインプロセスによりソース・ドレイン領域を形成できるので、ゲート電極とソース・ドレイン領域との幾何学的な重なりによる寄生容量を抑えることができる。また、非晶質ケイ素膜を固相成長により結晶化させた後にレーザアニール処理を行った場合には、さらに結晶性を良好なものにすることができる。

【0077】（実施例2）この実施例は、アクティブマトリクス映像表示部と周辺回路部とが同一基板上に形成された場合である。

【0078】図3（E）は、本実施例のアクティブマトリクス映像表示部に形成される画素スイッチング素子としてのN型（またはP型）TFT20aを示す断面図である。このTFT20aは、アクティブマトリクス映像表示部の各画素毎に設けられ、画素電極に対する電荷の供給を制御するものであり、絶縁性基板201上に絶縁性下地膜202を介して形成されている。絶縁性下地膜202の上には、TFT20aのソース領域204a、ドレイン領域205aおよびチャネル領域の一部を構成する結晶性ケイ素膜からなる結晶性ケイ素島203aが積層されている。結晶性ケイ素島203aの上および複数の島203aの間に挟まれた領域には、結晶性ケイ素島203aの膜厚以下の結晶性ケイ素膜203bが形成されている。複数の島203aの間に挟まれた領域の結晶性ケイ素膜203b、および結晶性ケイ素島203aとその上の結晶性ケイ素膜203bとからN型（またはP型）ソース領域204aとドレイン領域205aとを除いた残りの領域206a（島203aと結晶性ケイ素膜203bとの接合部を含む部分）がチャネル領域となっている。結晶性ケイ素膜203bの上には、2カ所に設けたコンタクトホール211a、211bを除く基板全面に渡ってゲート絶縁膜207が形成され、その上にチャネル領域206aと対向するように金属からなるゲート電極208が形成されている。ゲート電極208の表面は酸化物層209により被覆されている。TFT20aは、2カ所に設けたコンタクトホール211a、211bを除く基板全面に渡って形成された層間絶縁膜210に覆われており、コンタクトホール211a、211bは、層間絶縁膜210およびゲート絶縁膜207を貫通している。層間絶縁膜210の上には金属電極213a、213bが所定の範囲に形成され、コンタクトホール211aおよび211bに一部充填されてソース領域204aおよびドレイン領域205aと電気的に接続されている。また、金属配線213bは層間絶縁膜21

0上に積層されたITO（IndiumTin Oxide：酸化インジウムと酸化スズとの混合物）からなる画素電極212に接続されている。

【0079】また、図4（E）は、上記画素スイッチングTFT20aを駆動する周辺回路部に形成されるドライバ素子20bを示す断面図である。このドライバ素子20bは、P型TFT21とN型TFT22とをこれらが相補的な動作を行うように接続したCMOS回路である。P型TFT21とN型TFT22とは、絶縁性基板201上に絶縁性下地膜202を介して形成されている。絶縁性下地膜202の上には、P型TFT21のソース領域204b、ドレイン領域205bおよびチャネル領域の一部と、N型TFT22のソース領域204c、ドレイン領域205cおよびチャネル領域の一部とを構成する結晶性ケイ素膜からなる結晶性ケイ素島203aが形成されている。結晶性ケイ素島203aの上および複数の島203aの間に挟まれた領域には、結晶性ケイ素島203aの膜厚以下の結晶性ケイ素膜203bが形成されている。この結果、P型TFT21とN型TFT22とを構成する島状の結晶性ケイ素膜200p、200nが隣接して形成されることになる。この島状の結晶性ケイ素膜200p、200nの中央部（島203aに挟まれた領域の結晶性ケイ素膜203b、および島203aと結晶性ケイ素膜203bとの接合部を含む部分）は、それぞれPチャネル領域206b、Nチャネル領域206cとなっており、両端部はそれぞれP型TFT21のソース領域205bおよびドレイン領域204b、N型TFT22のソース領域205cとドレイン領域204cとなっている。結晶性ケイ素膜203bの上には、各TFTに対して2カ所設けたコンタクトホール211p、211nを除く基板全面に渡ってゲート絶縁膜207が形成され、その上に各チャネル領域206b、206cと対向するように金属からなるゲート電極208が形成されている。ゲート電極208の表面は酸化物層209により被覆されている。P型TFT21、N型TFT22は、コンタクトホール211p、211nを除く基板全面に渡って形成された層間絶縁膜210に覆われており、コンタクトホール211p、211nは、層間絶縁膜210およびゲート絶縁膜207を貫通している。層間絶縁膜210の上には金属電極212p、212nが所定の範囲に形成され、コンタクトホール211pおよび211nに一部充填されて、各々P型TFT21のソース領域205b、ドレイン領域204b、およびN型TFT22のソース領域205c、ドレイン領域204cと電気的に接続されている。

【0080】この製造工程について図3および図4を参照しながら説明する。尚、アクティブマトリクス映像表示部のTFT20aと周辺回路部のTFT21、22とは同一基板上に形成され、共通する処理は同時に行われる。また、図3（A）～（E）と図4（A）～（E）と

は各々対応するものであり、図 3 (A) は図 4 (A) と、図 3 (B) は図 4 (B) と、図 3 (C) は図 4 (C) と、図 3 (D) は図 4 (D) と、図 3 (E) は図 4 (E) と、各々の製造プロセスにおける同一段階の工程を示す。

【0081】まず、図 3 (A) および図 4 (A) に示すように、コーニング 7059 等の透明絶縁性基板 201 上に、スパッタリング法または常圧 CVD 法等により厚さ 10~300 nm、例えば 300 nm の二酸化ケイ素 (SiO_2) または窒化ケイ素 (Si_3N_4) 等からなる 10 絶縁性下地膜 202 を形成する。

【0082】次に、絶縁性下地膜 202 上にプラズマ CVD (PECVD) 法または減圧 CVD (LPCVD) 法により、厚さ 50~200 nm、例えば 100 nm の真性半導体ケイ素である非晶質ケイ素膜 203 を成膜する。続いて、上記基板に対して、窒素雰囲気中において、600℃以下の温度、例えば 600℃で 24 時間の熱アニールを行って、非晶質ケイ素膜 203 を固相成長法により結晶化させる。この非晶質ケイ素膜 203 の結晶化は非晶質ケイ素膜の積層直後にレーザーアニール処理により行ってもよく、また、固相成長法により結晶化 20 させた後にレーザーアニール処理を行ってより結晶性の高い状態としてもよい。

【0083】このようにして得られた結晶性ケイ素膜 203 をドライエッチング法またはウェットエッチング法等の一般的な手法を用いて島状に加工して、図 3 (B) および図 4 (B) に示すような結晶性ケイ素島 203a を形成する。

【0084】次に、基板全面に渡って、結晶性ケイ素島 203a の膜厚以下、例えば膜厚 30 nm の非晶質ケイ素膜をプラズマ CVD 法または減圧 CVD 法により積層 30 する。続いて、ドライエッチング法またはウェットエッチング法等の一般的な手法を用いて、結晶性ケイ素島 203a の上および複数の島 203a の間に挟まれた領域以外の領域の非晶質ケイ素膜を除去して図 3 (C) および図 4 (C) に示すような非晶質ケイ素膜 203b とする。

【0085】次に、図 3 (C) および図 4 (C) に示すように、この非晶質ケイ素膜 203b 側からレーザーアニール処理を行って非晶質ケイ素膜 203b、および結晶性ケイ素島 203a と非晶質ケイ素膜 203b との界面近傍を熔融再結晶化させ、結晶性ケイ素島 203a 表面および表面近傍をシードとして非晶質ケイ素膜を結晶性ケイ素膜とする。この実施例ではレーザー光として KrF エキシマレーザー (波長 248 nm) または XeCl エキシマレーザー (波長 308 nm) を用いるが、他のレーザーを用いてもよい。レーザー光の照射条件は、エネルギー密度 200~400 mJ/cm²、例えば 300 mJ/cm² とし、1 カ所につき 2~10 ショット、例えば 2 ショットとする。この非晶質ケイ素膜 20 50

3b の結晶化は、非晶質ケイ素膜の積層直後にレーザーアニール処理により行う代わりに、固相成長法により結晶化させた後にレーザーアニール処理を行ってより結晶性の高い状態としてもよい。例えば、非晶質ケイ素膜 203b を窒素雰囲気中において、600℃以下の温度、例えば 600℃で 24 時間の熱アニールを行って、非晶質ケイ素膜 203b を固相成長させて結晶性ケイ素膜とする。続いて、この結晶性ケイ素膜 203b 側からレーザーアニール処理を行うことにより、結晶性ケイ素膜 203b の結晶粒界、結晶粒内の格子欠陥密度の低減を図り、結晶性ケイ素膜の結晶性を高くしてもよい。

【0086】その後、図 3 (D) および図 4 (D) に示すように、スパッタリング法または PECVD 法により厚さ 100~300 nm、例えば 100 nm の二酸化ケイ素膜等からなるゲート絶縁膜 207 を成膜する。スパッタリング法による場合にはターゲットとして二酸化ケイ素を用い、スパッタリング時の基板温度は 200~400℃、例えば 350℃とし、スパッタリング雰囲気は酸素とアルゴンとをアルゴン/酸素=0~0.5、例えば 0.1 以下とする。また、PECVD 法による場合には、材料ガスとして TEOS (Tetra Ethoxy Silane) と酸素との混合ガスを使用する。

【0087】引き続き、スパッタリング法により厚さ 600~800 nm、例えば 600 nm のアルミニウム膜 (0.1~2% のケイ素を含む) を成膜する。このアルミニウム膜の成膜工程は、上記二酸化ケイ素膜等からなるゲート絶縁膜 207 の成膜工程と連続的に行うのが望ましい。このアルミニウム膜をパターニングしてゲート電極 208 を形成し、さらにその表面を陽極酸化して表面に酸化物層 209 を形成する。この陽極酸化は、酒石酸アンモニウムが 1~5% 含まれたエチレングリコール溶液中で行う。得られる酸化物層 209 の厚さは 50~200 nm、例えば 100 nm である。このとき得られる酸化物層 209 の厚みは、後のイオンドーピング工程においてオフセットゲート領域の長さとなるので、オフセットゲート領域の長さをこの陽極酸化工程で決めることができる。

【0088】続いて、イオンドーピング法により、ゲート電極 208 とその周囲の酸化層 209 をマスクとして、半導体層 203a および 203b に不純物元素 (リンまたはホウ素) を注入する。ドーピングガスとしてはフォスフィン (PH_3) またはジボラン (B_2H_6) を用い、前者の場合は加速電圧を 60~90 kV、例えば 80 kV とし、後者の場合は加速電圧を 40~80 kV、例えば 65 kV とし、ドーピング量は $1 \times 10^{14} \sim 8 \times 10^{14} \text{ cm}^{-2}$ (例えばリンを $2 \times 10^{15} \text{ cm}^{-2}$ 、ホウ素を $5 \times 10^{15} \text{ cm}^{-2}$) とする。ドーピングの際に、ドーピングが不要な領域をフォトレジストで覆うことにより各々の元素を選択的にドーピングすることができる。この結果、アクティブマトリクス映像表示部では、画素スイッ

チングTFT20aのN型(またはP型)不純物領域204a、205aが形成され、N型(またはP型)の不純物領域204a、205aに挟まれた領域206aは、ゲート電極208と酸化物層209とによりマスクされて不純物が注入されずにチャンネル領域となる。一方、周辺駆動回路部では、CMOS回路20bのP型不純物領域204b、205bおよびN型不純物領域204c、205cが形成され、P型不純物領域204b、205bに挟まれた領域206b、およびN型不純物領域204c、205cに挟まれた領域206cは、各々P型TFT21のチャンネル領域およびN型TFT22のチャンネル領域となる。

【0089】その後、イオン注入した不純物の活性化をレーザーアニール法により行う。この実施例ではレーザー光としてKrFエキシマレーザー(波長248nm)またはXeClエキシマレーザー(波長308nm)を用いるが、他のレーザーを用いてもよい。レーザー光の照射条件は、エネルギー密度200~400mJ/cm²、例えば350mJ/cm²とし、1カ所につき2~10ショット、例えば2ショットとする。このレーザー光の照射時に基板を200℃~450℃程度に加熱しておくことは有用である。

【0090】次に、アクティブマトリクス映像表示部では図3(E)に示すように、厚さ400~700nm、例えば600nmの二酸化ケイ素膜等からなる層間絶縁膜210をプラズマCVD法により形成する。この層間絶縁膜210とゲート絶縁膜207とにコンタクトホール211a、211bを形成し、ITOからなる画素電極212を形成する。さらに、金属材料、例えば窒化チタンとアルミニウムの多層膜(厚み300nm~2μm、例えば750nm)によってTFTの電極配線213a、213bを形成し、ソース領域204a、ドレイン領域205bと電氣的に接続させると共に電極配線213bを画素電極212に接続させる。

【0091】同時に、周辺駆動回路部では図4(E)に示すように、厚さ400~700nm、例えば600nmの二酸化ケイ素膜等からなる層間絶縁膜210をプラズマCVD法により形成する。この層間絶縁膜210とゲート絶縁膜207とにコンタクトホール211p、211nを形成して、金属材料、例えば窒化チタンとアルミニウムの多層膜(厚み300nm~2μm、例えば750nm)によってTFTの電極配線212p、212nを形成し、各々P型TFT21のソース領域205b、ドレイン領域204b、およびN型TFT22のソース領域205c、ドレイン領域204cと電氣的に接続させる。

【0092】最後に、1気圧の水素雰囲気下で350℃、30分以上の熱アニールを行い、画素スイッチングTFT20aおよびCMOS回路20bを完成させる。

【0093】このようにして得られる基板は、周辺駆動

回路部のドライバーTFT20bの動作速度を高めると共に、映像表示部の画素スイッチングTFT20aのOFF電流を低減することができるので、高画質な液晶表示装置を得ることができる。また、画素スイッチングTFT20aのON電流も大きくすることができるので、大画面の表示パネルに適用することができる。このアクティブマトリクス基板は、周辺駆動回路と映像表示部との各々に要求される異なる電気特性を両立させて、低温プロセスにより作製することができる。

【0094】(実施例3) この実施例では、非晶質ケイ素の結晶化を助長する触媒元素を用いて半導体層を結晶化させ、絶縁性基板上に形成されたN型(またはP型)のTFTを作製した。

【0095】図5は、本実施例のTFT30を示す断面図である。このTFT30は、透明絶縁性基板301上に絶縁性下地膜302を介して形成されている。絶縁性下地膜302の上には、TFT30のソース領域305、ドレイン領域206およびチャンネル領域の一部208を構成する結晶性ケイ素膜からなる結晶性ケイ素島304bが形成されている。結晶性ケイ素島304bの上および複数の島304bの間に挟まれた領域307には、結晶性ケイ素島304bの膜厚以下の結晶性ケイ素膜304cが積層されている。複数の島304bの間に挟まれた領域307の結晶性ケイ素膜304c、および結晶性ケイ素島304bとその上の結晶性ケイ素膜304cとからN型(またはP型)ソース領域305とドレイン領域306とを除いた残りの領域308(島304bと結晶性ケイ素膜304cとの接合部を含む部分)がチャンネル領域となっている。結晶性ケイ素膜304cの上には、2カ所に設けたコンタクトホール313a、313bを除く基板全面に渡ってゲート絶縁膜309が形成され、その上にチャンネル領域307、208と対向するように金属からなるゲート電極310が形成されている。ゲート電極310の表面は酸化物層311により被覆されている。TFT30は、2カ所に設けたコンタクトホール313a、313bを除く基板全面に渡って形成された層間絶縁膜312に覆われており、コンタクトホール313a、313bは、層間絶縁膜312およびゲート絶縁膜309を貫通している。層間絶縁膜312の上には金属電極314a、314bが所定の範囲に形成され、コンタクトホール313aおよび313bに一部充填されてソース領域305およびドレイン領域306と電氣的に接続されている。

【0096】上記結晶性ケイ素島304bは、図6(B)および図7(B)に示すように、その近傍の結晶性ケイ素領域304aから基板表面に対して平行な方向305aに結晶成長が進んで形成された横方向結晶領域(ラテラル成長領域)304iの一部を含むように形成されている。この結晶性ケイ素領域304aおよびラテラル成長領域304iは、加熱処理することにより非晶

質ケイ素膜の結晶化を助長する触媒元素（例えばニッケル（Ni）元素）を含み、この膜中の結晶粒はほぼ単結晶状態の針状結晶または柱状結晶からなる。上記結晶性ケイ素膜304cは、図6（D）および図7（D）に示すように、触媒元素を含む結晶性ケイ素島304bの内部から基板表面に対して平行な方向305bに結晶成長が進んで形成されたものである。

【0097】このTFT30の製造工程について図6、7および8を参照しながら説明する。図6、8は、この実施例のTFT30の作製工程の概要を示す断面図であり、図7は平面図である。

【0098】まず、図6（A）に示すように、ガラス等の絶縁性基板301上に、スパッタリング法または常圧CVD（APCVD）法等により厚さ10～300nm、例えば300nmの二酸化ケイ素（SiO₂）または窒化ケイ素（Si₃N₄）等からなる絶縁性下地膜302を形成する。

【0099】次に、絶縁性下地膜302の上に金属膜または二酸化ケイ素膜等を積層し、これをパターニングして、TFT30の形成領域に所定のマスク開口部303aを有するマスク303を形成する。この状態を基板上面から見ると、マスク開口部303aからスリット状に絶縁性下地膜302が露呈され、下地膜302の他の部分はマスクされた状態となっている。

【0100】続いて、スパッタリング法により厚さ0.1～20nm、例えば3nmのニッケル膜（図示せず）を成膜し、マスク303を取り除く。これにより絶縁性下地膜302上のマスク開口部303aに対応する領域300に選択的にニッケル膜が成膜され、絶縁性下地膜302の領域300に微量のニッケルが選択的に添加されたことになる。

【0101】次に、図6（B）に示すように、絶縁性下地膜302上にPECVD法またはLPCVD法により、厚さ50～200nm、例えば100nmの真性半導体ケイ素である非晶質ケイ素膜304を成膜する。続いて、上記基板に対して、水素還元雰囲気下（好ましくは水素分圧が0.1～1気圧）または不活性ガス雰囲気下（大気圧）、600℃以下で24時間以内の熱アニール処理、例えば550℃で16時間熱アニール処理する。この熱アニールは、450℃以上の温度で可能であるが、高すぎると使用できるガラス基板の種類が限定され、プロセスコストの増大につながるがあるので、好ましくは450℃～550℃である。この際、絶縁性下地膜302においてニッケル膜が選択的に形成された領域300上では、まず、非晶質ケイ素膜304の結晶化が基板301に対して垂直方向に進んで結晶化する。結晶化した領域304aの周辺領域では、矢印305aに示すように、領域304aから横方向（基板面と平行な方向）に結晶成長が起こり、図7（B）に示すように、結晶成長方向が完全に揃った高品質な結晶性ケイ素

膜304iが得られる。そして、後の工程において明らかになるように、TFT30のソース領域およびドレイン領域は、この結晶成長方向405aに沿って並ぶように形成される。尚、上記結晶成長に際し、矢印305aで示される基板と平行な方向の結晶成長の距離は、40～90μm程度である。

【0102】尚、図6（A）および図6（B）で示した処理に代えて図8（A）および図8（B）に示すような処理を行ってもよい。

【0103】まず、図8（A）に示すように、絶縁性基板301上に、スパッタリング法または常圧CVD（APCVD）法等により厚さ20～300nm、例えば300nmの二酸化ケイ素等からなる絶縁性下地膜302を形成する。

【0104】次に、絶縁性下地膜302の上にPECVD法またはLPCVD法により、厚さ30～200nm、例えば100nmの真性半導体ケイ素である非晶質ケイ素膜304を成膜する。続いて、非晶質ケイ素膜304の上に金属膜または二酸化ケイ素膜等を積層し、これをパターニングして、TFT30の形成領域に所定のマスク開口部303aを有するマスク303を形成する。この状態を基板上面から見ると、マスク開口部303aからスリット状に非晶質ケイ素膜304が露呈され、非晶質ケイ素膜304の他の部分はマスクされた状態となっている。

【0105】続いて、スパッタリング法により厚さ0.5～20nm、例えば2nmのニッケル膜（図示せず）を成膜する。これにより非晶質ケイ素膜304のマスク開口部303aに対応する領域300に選択的にニッケル膜が成膜され、非晶質ケイ素膜304の領域300に微量のニッケルが選択的に添加されたことになる。

【0106】その後、上記基板に対して、水素還元雰囲気下（好ましくは水素分圧が0.1～1気圧）または不活性ガス雰囲気下（大気圧）、600℃以下で24時間以内の熱アニール処理、例えば550℃で16時間熱アニール処理する。この際、非晶質ケイ素膜304においてニッケル膜が選択的に形成された領域300では、まず、非晶質ケイ素膜304の結晶化が基板301に対して垂直方向に進んで結晶化する。結晶化した領域304aの周辺領域では、図8（B）の矢印305aに示すように、領域304aから横方向（基板面と平行な方向）に結晶成長が起こり、結晶成長方向が完全に揃った高品質な結晶性ケイ素膜304iが得られる。

【0107】この場合、図8（B）に示すように、非晶質ケイ素膜304のマスク開口部303aに対応する領域300に選択的にニッケルを添加した後、マスク303を取り除かない状態で500℃以上600℃以下の温度で10時間以上の熱アニールにより結晶化させる。この際、マスク403の膜厚は50nm以上にする。または、非晶質ケイ素膜304のマスク開口部303aに対

応する領域300に選択的にニッケルを添加した後、マスク303を取り除いて非晶質ケイ素膜304の結晶化を行っても同様にラテラル成長領域304iが得られる。

【0108】このようにして得られた結晶性ケイ素304i、304aおよび非晶質ケイ素膜304をドライエッチング法またはウェットエッチング法等の一般的な手法を用いて島状に加工して、図7(B)に示すように部分的に結晶性ケイ素304iと非晶質ケイ素304とを含むように結晶性ケイ素島304bを形成する。

【0109】次に、基板全面に渡って、結晶性ケイ素島304bの膜厚以下、例えば膜厚30nmの非晶質ケイ素膜304cをプラズマCVD法または減圧CVD法により積層する。続いて、ドライエッチング法またはウェットエッチング法等の一般的な手法を用いて、結晶性ケイ素島304bの上および複数の島304bの間に挟まれた領域307以外の領域の非晶質ケイ素膜304cを除去して、図6(C)に示すような非晶質ケイ素膜304cとする。

【0110】その後、上記基板に対して、水素還元雰囲気下（好ましくは水素分圧が0.1~1気圧）または不活性ガス雰囲気下（大気圧）、600℃以下で24時間以内の熱アニール処理、例えば550℃で16時間熱アニール処理する。この際、結晶性ケイ素島304b中に含まれているニッケルにより再びラテラル成長が始まり、非晶質ケイ素膜304cも矢印305bに示すように基板面に対して平行な方向に結晶成長が進んで結晶性ケイ素膜304cとなる。この結果、結晶性ケイ素膜304cと結晶性ケイ素島304bとは結晶粒径および結晶方位が一致し、2段階に分けて結晶性ケイ素島304bと非晶質ケイ素膜304cとを形成したにも拘らず、極めて格子欠陥密度の小さい結晶性の良好な半導体層を形成することができる。

【0111】次に、図6(E)に示すように、この結晶性ケイ素島304bと結晶性ケイ素膜304cとの存在する側から、膜全体を完全溶解させない程度のレーザーパワー、例えば300mJ/cm²でレーザーアニール処理を行うことにより、結晶性ケイ素島304bおよび結晶性ケイ素膜304cの結晶粒界、結晶粒内の格子欠陥密度の低減を図り、結晶性ケイ素島304bおよび結晶性ケイ素膜304cの結晶性を高くしてもよい。

【0112】その後、図6(F)に示すように、スパッタリング法またはPECVD法により厚さ100~300nm、例えば100nmの二酸化ケイ素膜等からなるゲート絶縁膜309を成膜する。スパッタリング法による場合にはターゲットとして二酸化ケイ素を用い、スパッタリング時の基板温度は200~400℃、例えば350℃とし、スパッタリング雰囲気は酸素とアルゴンとをアルゴン/酸素=0~0.5、例えば0.1とする。また、PECVD法による場合には、材料ガスとしてT

EOS (Tetra Ethoxy Silane) と酸素との混合ガスを使用する。

【0113】引き続いて、スパッタリング法により厚さ600~800nm、例えば600nmのアルミニウム膜（0.1~2%のシリコンを含む）を成膜する。このアルミニウム膜の成膜工程は、上記二酸化ケイ素膜等からなるゲート絶縁膜309の成膜工程と連続的に行うのが望ましい。そして、このアルミニウム膜をパターニングしてゲート電極310を形成し、さらにその表面を陽極酸化して表面に酸化物層311を形成する。この陽極酸化は、酒石酸アンモニウムが1~5%含まれたエチレングリコール溶液中で行う。得られる酸化物層311の厚さは50~200nm、例えば100nmである。このとき得られる酸化物層311の厚みは、後のイオンドーピング工程においてオフセットゲート領域の長さとなるので、オフセットゲート領域の長さをこの陽極酸化工程で決めることができる。

【0114】続いて、イオンドーピング法により、ゲート電極310とその周囲の酸化層311をマスクとして、半導体層304bおよび304cに不純物元素（リンおよびホウ素）を注入する。ドーピングガスとしてはフォスフィン（PH₃）およびジボラン（B₂H₆）を用い、前者の場合は加速電圧を60~90kV、例えば80kVとし、後者の場合は加速電圧を40~80kV、例えば65kVとし、ドーズ量は1×10¹⁴~8×10¹⁴cm⁻²（例えば、リンを2×10¹⁵cm⁻²、ホウ素を5×10¹⁵cm⁻²）とする。ドーピングの際に、ドーピングが不要な領域をフォトレジストで覆うことにより各々の元素を選択的にドーピングすることができる。この結果、N型（またはP型）の不純物領域305、306が形成される。また、N型（またはP型）の不純物領域305、306に挟まれた領域307、308は、ゲート電極310と酸化物層311とによりマスクされて不純物が注入されずにチャネル領域となる。

【0115】その後、イオン注入した不純物の活性化をレーザーアニール法により行う。この実施例ではレーザー光としてKrFエキシマレーザー（波長248nm）またはXeClエキシマレーザー（波長308nm）を用いるが、他のレーザーを用いてもよい。レーザー光の照射条件は、エネルギー密度200~400mJ/cm²、例えば250mJ/cm²とし、1カ所につき2~10ショット、例えば2ショットとする。このレーザー光の照射時に基板を200℃~450℃程度に加熱しておくことは有用である。また、このレーザーアニール工程において、先に結晶化された領域にはニッケルが拡散しているので、このレーザー光照射により再結晶化が容易に進行し、不純物領域305と306とを容易に活性化できる。

【0116】次に、図6(G)に示すように、厚さ400~700nm、例えば600nmの酸化ケイ素膜等か

らなる層間絶縁膜312をプラズマCVD法により形成する。この層間絶縁膜312とゲート絶縁膜309とにコンタクトホール313a、313bを形成して、金属材料、例えば窒化チタンとアルミニウムの多層膜（厚み300nm～2μm、例えば750nm）によってTFTの電極配線314a、314bを形成し、ソース領域305、ドレイン領域306と電氣的に接続させる。

【0117】最後に、1気圧の水素雰囲気下で350℃、30分以上の熱アニールを行い、N型（またはP型）のTFT30を完成させる。

【0118】このTFT30とニッケルが選択的に導入された領域300との位置関係を示すために、図7

(B)および(D)に図6(B)および(D)を基板上面から見た場合の平面図を示す。図7(B)に示すように、マスク開口部に対応する領域300に選択的に微量のニッケルが添加され、熱アニールにより領域300から矢印305aに示す基板に平行な方向（横方向）に結晶成長が行われる。さらに、図7(D)に示すように、結晶性ケイ素島304bから引き続いて非晶質ケイ素膜304cの結晶成長が行われる。この横方向の結晶成長（ラテラル成長）が行われた領域に、ソース領域305、ドレイン領域306およびチャネル領域307、308からなるN型（またはP型）TFT30を形成する。この結果、キャリア（電気伝導に寄与する電子または正孔）の移動する方向が結晶の成長方向305bと同一の方向となり、キャリアが結晶粒界を横切ることが殆どないので、特に移動度を高くすることができる。

【0119】このようにして得られるTFT30は、チャネル領域の薄膜化を成膜の段階で行っているため、チャネル領域表面および表面近傍のダメージ等が生じず、高温プロセスを必要としない。触媒元素を使用して非晶質ケイ素の結晶化を行っているため、低温プロセスで非晶質ケイ素の固相結晶化を行うことができる。TFT30のソース・ドレイン領域およびチャネル領域をこの結晶成長方向と概略平行になるように配置すると、極めて高い電界移動度および高いON電流特性を得ることができる。また、ラテラル成長領域とその周辺の非晶質ケイ素領域との境界を含むように結晶性ケイ素島を作製しているため、結晶性ケイ素島上に積層される非晶質ケイ素膜の結晶化を容易に行うことができる。このようにして得られる半導体層は、結晶性ケイ素島と結晶性ケイ素膜の結晶粒径および結晶方位が同一となり、極めて格子欠陥密度の小さい結晶性の良好な半導体層を形成することができる。上記結晶性ケイ素からなる島および結晶性ケイ素膜にレーザーアニール処理を施して、チャネル領域およびソース・ドレイン領域の結晶性をさらに高めることができる。このレーザーアニール処理を、結晶性ケイ素膜および島を完全に熔融再結晶化させない程度のレーザーパワーで行うことにより、個々の結晶粒内および結晶粒界の格子欠陥密度を低減することができ、格子欠陥

が殆ど無い極めて質の高い結晶性ケイ素とすることができ、結晶性ケイ素島中に含まれる触媒元素濃度を結晶性ケイ素膜中に含まれる触媒元素濃度以上にすると、この触媒元素によりソース・ドレイン領域の電気抵抗が十分に低い状態としてON電流が低くなり難く、しかもチャネル領域のリーク電流には悪影響を与えないようにできる。さらに、セルフアラインプロセスによりソース・ドレイン領域を形成できるので、ゲート電極とソース・ドレイン領域との幾何学的な重なりによる寄生容量を抑えることができる。

【0120】（実施例4）この実施例は、非晶質ケイ素の結晶化を助長する触媒元素を用いて半導体層を結晶化させ、アクティブマトリクス映像表示部と周辺回路部とが同一基板上に形成された場合である。

【0121】図9(G)は、本実施例のアクティブマトリクス映像表示部に形成される画素スイッチング素子としてのN型（またはP型）TFT40aを示す断面図である。このTFT40aは、アクティブマトリクス映像表示部の各画素毎に設けられ、画素電極に対する電荷の供給を制御するものであり、透明絶縁性基板401上に絶縁性下地膜402を介して形成されている。絶縁性下地膜402の上には、TFT40aのソース領域406a、ドレイン領域407aおよびチャネル領域の一部を構成する結晶性ケイ素膜からなる結晶性ケイ素島404bが積層されている。結晶性ケイ素島404bの上および複数の島404bの間に挟まれた領域には、結晶性ケイ素島404bの膜厚以下の結晶性ケイ素膜404cが形成されている。複数の島404bの間に挟まれた領域の結晶性ケイ素膜404c、および結晶性ケイ素島404bとその上の結晶性ケイ素膜404cとからN型（またはP型）ソース領域406aとドレイン領域407aとを除いた残りの領域408a（島404bと結晶性ケイ素膜404cとの接合部を含む部分）がチャネル領域となっている。結晶性ケイ素膜404cの上には、2カ所に設けたコンタクトホール414a、414bを除く基板全面に渡ってゲート絶縁膜409が形成され、その上にチャネル領域408aと対向するように金属からなるゲート電極410が形成されている。ゲート電極410の表面は酸化層411により被覆されている。TFT40aは、2カ所に設けたコンタクトホール414a、414bを除く基板全面に渡って形成された層間絶縁膜412に覆われており、コンタクトホール414a、414bは、層間絶縁膜412およびゲート絶縁膜409を貫通している。層間絶縁膜412の上には金属電極415a、415bが所定の範囲に形成され、コンタクトホール414aおよび414bに一部充填されてソース領域406aおよびドレイン領域407aと電氣的に接続されている。また、金属配線415bは層間絶縁膜412上に積層されたITOからなる画素電極413に接続されている。

【0122】また、図10 (G) は、上記画素スイッチングTFT40aを駆動する周辺回路部に形成されるドライバ素子40bを示す断面図である。このドライバ素子40bは、P型TFT41とN型TFT42とをこれらが相補的な動作を行うように接続したCMOS回路である。P型TFT41とN型TFT42とは、絶縁性基板401上に絶縁性下地膜402を介して形成されている。絶縁性下地膜402の上には、P型TFT41のソース領域406b、ドレイン領域407bおよびチャネル領域の一部と、N型TFT42のソース領域406c、ドレイン領域407cおよびチャネル領域の一部とを構成する結晶性ケイ素膜からなる結晶性ケイ素島404bが形成されている。結晶性ケイ素島404bの上および複数の島404bの間に挟まれた領域には、結晶性ケイ素島404bの膜厚以下の結晶性ケイ素膜404cが形成されている。この結果、P型TFT41とN型TFT42とを構成する島状の結晶性ケイ素膜400p、400nが隣接して形成されることになる。この島状の結晶性ケイ素膜400p、400nの中央部(島404bに挟まれた領域の結晶性ケイ素膜404c、および島404bと結晶性ケイ素膜404cとの接合部を含む部分)は、それぞれPチャネル領域408b、Nチャネル領域408cとなっており、両端部はそれぞれP型TFT41のソース領域406bおよびドレイン領域407b、N型TFT42のソース領域406cとドレイン領域407cとなっている。結晶性ケイ素膜404cの上には、各TFTに対して2カ所設けたコンタクトホール413p、413nを除く基板全面に渡ってゲート絶縁膜409が形成され、その上に各チャネル領域408b、408cと対向するように金属からなるゲート電極410が形成されている。ゲート電極410の表面は酸化物層411により被覆されている。P型TFT41、N型TFT42は、コンタクトホール413p、413nを除く基板全面に渡って形成された層間絶縁膜412に覆われており、コンタクトホール413p、413nは、層間絶縁膜412およびゲート絶縁膜409を貫通している。層間絶縁膜412の上には金属電極414p、414nが所定の範囲に形成され、コンタクトホール413pおよび413nに一部充填されて、各々P型TFT41のソース領域406b、ドレイン領域407b、およびN型TFT42のソース領域406c、ドレイン領域407cと電気的に接続されている。

【0123】上記結晶性ケイ素島404bは、図9 (B)、図10 (B)、図11 (B) および図12 (B) に示すように、その近傍の結晶性ケイ素領域404aから基板表面に対して平行な方向405aに結晶成長が進んで形成された横方向結晶領域(ラテラル成長領域)404iの一部を含むように形成されている。この結晶性ケイ素領域404aおよびラテラル成長領域404iは、加熱処理することにより非晶質ケイ素膜の結晶

化を助長する触媒元素(例えばニッケル(Ni)元素)を含み、この膜中の結晶粒はほぼ単結晶状態の針状結晶または柱状結晶からなる。上記結晶性ケイ素膜404cは、図9 (D)、図10 (D)、図11 (D) および図12 (D) に示すように、触媒元素を含む結晶性ケイ素島404bの内部から基板表面に対して平行な方向405bに結晶成長が進んで形成されたものである。

【0124】この基板の製造工程について図9および図10を参照しながら説明する。尚、アクティブマトリクス映像表示部のTFT40aと周辺回路部のTFT41、42とは同一基板上に形成され、共通する処理は同時に行われる。また、図9 (A) ~ (G) と図10 (A) ~ (G) とは各々対応するものであり、図9 (A) は図10 (A) と、図9 (B) は図10 (B) と、図9 (C) は図10 (C) と、図9 (D) は図10 (D) と、図9 (E) は図10 (E) と、図9 (F) は図10 (F) と、図9 (G) は図10 (G) と、各々の製造プロセスにおける同一段階の工程を示す。

【0125】まず、図9 (A) および図10 (A) に示すように、ガラス等の透明絶縁性基板401上に、スパッタリング法または常圧CVD法等により厚さ10~300nm、例えば300nmの二酸化ケイ素(SiO₂)または窒化ケイ素(Si₃N₄)等からなる絶縁性下地膜402を形成する。

【0126】次に、絶縁性下地膜402の上に金属膜または二酸化ケイ素膜等を積層し、これをパターニングして、TFT40a、41、42の形成領域に所定のマスク開口部403aを有するマスク403を形成する。この状態を基板上面から見ると、マスク開口部403aからスリット状に絶縁性下地膜402が露呈され、下地膜402の他の部分はマスクされた状態となっている。

【0127】続いて、スパッタリング法により厚さ0.1~20nm、例えば3nmのニッケル膜(図示せず)を基板全面にわたって成膜し、マスク403を取り除く。これにより絶縁性下地膜402上のマスク開口部403aに対応する領域400に選択的にニッケル膜が成膜されたことになる。換言すれば、絶縁性下地膜402の領域400に微量のニッケルが選択的に添加されたことになる。

【0128】次に、図9 (B) および図10 (B) に示すように、絶縁性下地膜402上にPECVD法またはLPCVD法により、厚さ50~200nm、例えば100nmの真性半導体ケイ素である非晶質ケイ素膜404を成膜する。続いて、上記基板に対して、水素還元雰囲気下(好ましくは水素分圧が0.1~1気圧)または不活性ガス雰囲気下(大気圧)、600℃以下で24時間以内の熱アニール処理、例えば550℃で16時間熱アニール処理する。この熱アニールは、450℃以上の温度で可能であるが、高すぎると使用できるガラス基板の種類が限定され、プロセスコストの増大につながるこ

とがあるので、好ましくは450℃～550℃とする。
この際、絶縁性下地膜402においてニッケル膜が選択的に形成された領域400上では、まず、非晶質ケイ素膜404の結晶化が基板401に対して垂直方向に進んで結晶化する。結晶化した領域404aの周辺領域では、矢印405aに示すように、領域404aから横方向（基板面と平行な方向）に結晶成長が起こり、図11(B)および図12(B)に示すように、結晶成長方向が完全に揃った高品質な結晶性ケイ素膜404iが得られる。そして、後の工程において明らかになるように、TFT40a、41、42のソース領域およびドレイン領域は、この結晶成長方向405aに沿って並ぶように形成される。尚、上記結晶成長に際し、矢印405aで示される基板と平行な方向の結晶成長の距離は、40～90μm程度である。

【0129】尚、図9(A)、図9(B)、図10(A)および図10(B)で示した処理に代えて図13(A)、図13(B)、図14(A)、図14(B)に示すような処理を行ってもよい。

【0130】まず、図13(A)および図14(A)に示すように、絶縁性基板401上に、スパッタリング法または常圧CVD(APCVD)法等により厚さ20～300nm、例えば300nmの二酸化ケイ素等からなる絶縁性下地膜402を形成する。

【0131】次に、絶縁性下地膜402の上にPECVD法またはLPCVD法により、厚さ30～200nm、例えば100nmの真性半導体ケイ素である非晶質ケイ素膜404を成膜する。続いて、非晶質ケイ素膜404の上に金属膜または二酸化ケイ素膜等を積層し、これをパターニングして、TFT40a、41、42の形成領域に所定のマスク開口部403aを有するマスク403を形成する。この状態を基板上面から見ると、マスク開口部403aからスリット状に非晶質ケイ素膜404が露呈され、非晶質ケイ素膜404の他の部分はマスクされた状態となっている。

【0132】続いて、スパッタリング法により厚さ0.5～20nm、例えば2nmのニッケル膜（図示せず）を成膜する。これにより非晶質ケイ素膜404上のマスク開口部403aに対応する領域400に選択的にニッケル膜が成膜され、非晶質ケイ素膜404の領域400に微量のニッケルが選択的に添加されたことになる。その後、上記基板に対して、水素還元雰囲気下（好ましくは水素分圧が0.1～1気圧）または不活性ガス雰囲気下（大気圧）、600℃以下で24時間以内の熱アニール処理、例えば550℃で16時間熱アニール処理する。この際、非晶質ケイ素膜404においてニッケル膜が選択的に形成された領域400では、まず、非晶質ケイ素膜404の結晶化が基板401に対して垂直方向に進んで結晶化する。結晶化した領域404aの周辺領域では、図13(B)、図14(B)の矢印405aに示

すように、領域404aから横方向（基板面と平行な方向）に結晶成長（ラテラル成長）が起こり、結晶成長方向が完全に揃った高品質な結晶性ケイ素膜404iが得られる。

【0133】この場合、図13(B)および図14(B)に示すように、非晶質ケイ素膜404のマスク開口403aに対応する領域400に選択的にニッケルを添加した後、マスク403を取り除かない状態で、500℃以上600℃以下の温度で10時間以上の熱アニールにより結晶化させる。この際、マスク403の膜厚は50nm以上にする。または、非晶質ケイ素膜404のマスク開口403aに対応する領域400に選択的にニッケルを添加した後、マスク403を取り除いて非晶質ケイ素膜404の結晶化を行っても同様にラテラル成長領域404iが得られる。

【0134】このようにして得られた結晶性ケイ素404i、404aおよび非晶質ケイ素膜404をドライエッチング法またはウェットエッチング法等の一般的な手法を用いて島状に加工して、図9(C)および図10(C)に示すように部分的に結晶性ケイ素404iと非晶質ケイ素404とを含むように結晶性ケイ素島404bを形成する。

【0135】次に、基板全面に渡って、結晶性ケイ素島404bの膜厚以下、例えば膜厚30nmの非晶質ケイ素膜404cをプラズマCVD法または減圧CVD法により積層する。続いて、ドライエッチング法またはウェットエッチング法等の一般的な手法を用いて、結晶性ケイ素島404bの上および複数の島404bの間に挟まれた領域408a、408b、408c以外の領域の非晶質ケイ素膜404cを除去して、図9(D)および図10(D)に示すような非晶質ケイ素膜404cとする。

【0136】その後、上記基板に対して、水素還元雰囲気下（好ましくは水素分圧が0.1～1気圧）または不活性ガス雰囲気下（大気圧）、600℃以下で24時間以内の熱アニール処理、例えば550℃で16時間熱アニール処理する。この際、結晶性ケイ素島404b中に含まれているニッケルにより再びラテラル成長が始まり、非晶質ケイ素膜404cも矢印405bに示すように基板面に対して平行な方向に結晶成長が進んで結晶性ケイ素膜404cとなる。この結果、結晶性ケイ素膜404cと結晶性ケイ素島404bとは結晶粒径および結晶方位が一致し、2段階に分けて結晶性ケイ素島404bと非晶質ケイ素膜404cとを形成したにも拘らず、極めて格子欠陥密度の小さい結晶性の良好な半導体層を形成することができる。

【0137】次に、図9(E)および図10(E)に示すように、この結晶性ケイ素島404bと結晶性ケイ素膜404cとの存在する側から、膜全体を完全溶解させない程度のレーザーパワー、例えば300mJ/cm²

でレーザーアニール処理を行うことにより、結晶性ケイ素島404bおよび結晶性ケイ素膜404cの結晶粒界、結晶粒内の格子欠陥密度の低減化を図り、結晶性ケイ素島404bおよび結晶性ケイ素膜404cの結晶性を高くしてもよい。

【0138】その後、図9(F)および図10(F)に示すように、スパッタリング法またはPECVD法により厚さ100~300nm、例えば100nmの二酸化ケイ素膜等からなるゲート絶縁膜409を成膜する。スパッタリング法による場合にはターゲットとして二酸化ケイ素を用い、スパッタリング時の基板温度は200~400℃、例えば350℃とし、スパッタリング雰囲気は酸素とアルゴンとをアルゴン/酸素=0~0.5、例えば0.1とする。また、PECVD法による場合には、材料ガスとしてTEOS(Tetra Ethoxy Silane)と酸素との混合ガスを使用する。

【0139】引き続いて、スパッタリング法により厚さ600~800nm、例えば600nmのアルミニウム膜(0.1~2%のケイ素を含む)を成膜する。このアルミニウム膜の成膜工程は、上記二酸化ケイ素膜等からなるゲート絶縁膜409の成膜工程と連続的に行うのが望ましい。このアルミニウム膜をパターニングしてゲート電極410を形成し、さらにその表面を陽極酸化して表面に酸化層411を形成する。この陽極酸化は、酒石酸アンモニウムが1~5%含まれたエチレングリコール溶液で行う。得られる酸化層411の厚さは50~200nm、例えば100nmである。このとき得られる酸化層411の厚みは、後のイオンドーピング工程においてオフセットゲート領域の長さとなるので、オフセットゲート領域の長さをこの陽極酸化工程で決めることができる。

【0140】続いて、イオンドーピング法により、ゲート電極410とその周囲の酸化層411をマスクとして、半導体層404aおよび404bに不純物元素(リンおよびホウ素)を注入する。ドーピングガスとしてはフォスフィン(PH₃)およびジボラン(B₂H₆)を用い、前者の場合は加速電圧を60~90kV、例えば80kVとし、後者の場合は加速電圧を40~80kV、例えば65kVとし、ドーズ量は $1 \times 10^{14} \sim 8 \times 10^{16} \text{ cm}^{-2}$ (例えばリンを $2 \times 10^{15} \text{ cm}^{-2}$ 、ホウ素を $5 \times 10^{15} \text{ cm}^{-2}$)とする。ドーピングの際に、ドーピングが不要な領域をフォトリソで覆うことにより各々の元素を選択的にドーピングすることができる。この結果、アクティブマトリクス映像表示部では、画素スイッチングTFT40aのN型(またはP型)不純物領域406a、407aが形成され、N型(またはP型)の不純物領域406a、407aに挟まれた領域408aは、ゲート電極410と酸化層411とによりマスクされて不純物が注入されずにチャンネル領域となる。一方、周辺駆動回路部では、CMOS回路40bのP型不

純物領域406b、407bおよびN型不純物領域406c、407cが形成され、P型不純物領域406b、407bに挟まれた領域408b、およびN型不純物領域406c、407cに挟まれた領域408cは、各々P型TFT41のチャンネル領域およびN型TFT42のチャンネル領域となる。

【0141】その後、イオン注入した不純物の活性化をレーザーアニール法により行う。この実施例ではレーザー光としてKrFエキシマレーザー(波長248nm)またはXeClエキシマレーザー(波長308nm)を用いるが、他のレーザーを用いてもよい。レーザー光の照射条件は、エネルギー密度200~400mJ/cm²、例えば250mJ/cm²とし、1カ所につき2~10ショット、例えば2ショットとする。このレーザー光の照射時に基板を200℃~450℃程度に加熱しておくことは有用である。また、このレーザーアニール工程において、先に結晶化された領域にはニッケルが拡散しているので、このレーザー光照射により再結晶化が容易に進行し、不純物領域406a、407a、406b、407b、406c、407cを容易に活性化できる。

【0142】次に、アクティブマトリクス映像部では図9(G)に示すように、厚さ400~700nm、例えば600nmの酸化ケイ素膜等からなる層間絶縁膜412をプラズマCVD法により形成する。この層間絶縁膜412とゲート絶縁膜409とにコンタクトホール414a、414bを形成し、ITOからなる画素電極413を形成する。さらに、金属材料、例えば窒化チタンとアルミニウムとの多層膜(厚み300nm~2μm、例えば750nm)によってTFTの電極配線415a、415bを形成し、ソース領域406a、ドレイン領域407bと電氣的に接続させると共に電極配線415bを画素電極413に接続させる。

【0143】同時に、周辺駆動回路部では図10(G)に示すように、厚さ400~700nm、例えば600nm程度の酸化ケイ素膜等からなる層間絶縁膜412をプラズマCVD法により形成する。この層間絶縁膜412とゲート絶縁膜409とにコンタクトホール413p、413nを形成して、金属材料、例えば窒化チタンとアルミニウムの多層膜(厚み300nm~2μm、例えば750nm)によってTFTの電極配線414p、414nを形成し、各々P型TFT41のソース領域406b、ドレイン領域306b、およびN型TFT42のソース領域406c、ドレイン領域407cと電氣的に接続させる。

【0144】最後に、1気圧の水素雰囲気下で350℃、30分以上の熱アニールを行い、画素スイッチング素子TFT40aおよびCMOS回路40bを完成させる。

【0145】上記TFT40a、41、42とニッケルが選択的に導入された領域400との位置関係を示すた

10

20

30

40

50

めに、図11に図9(B)および図9(D)を基板上面から見た場合の平面図を示し、図12に図10(B)および図10(D)を基板上面から見た場合の平面図を示す。図10(B)および図11(D)に示すように、マスク開口部に対応する領域400に選択的に微量のニッケルが添加され、熱アニールにより領域400から矢印405aに示す基板に平行な方向(横方向)に結晶成長が行われる。さらに、図10(D)および図10(D)に示すように、結晶性ケイ素島404bから引き続いて非晶質ケイ素膜404cの結晶成長が行われる。この横方向の結晶成長(ラテラル成長)が行われた領域に、ソース領域406a、ドレイン領域407aおよびチャネル領域408aからなるN型(またはP型)TFT40aが形成される。同様に、横方向の結晶成長(ラテラル成長)が行われた領域に、ソース領域406b、ドレイン領域407bおよびチャネル領域408bからなるP型TFT41が形成され、また、ソース領域406b、ドレイン領域407bおよびチャネル領域408bからなるN型TFT42が形成される。これにより、キャリア(電気伝導に寄与する電子または正孔)の移動する方向が結晶の成長方向405bと同一の方向となり、キャリアが結晶粒界を横切ることが殆どないので、特に移動度を高くすることができる。

【0146】このようにして得られる基板は、ニッケル等の触媒元素を非晶質ケイ素膜に導入して600℃以下の温度で非晶質ケイ素膜の結晶化を行っており、ドライバモノリシック型のAM・LCDのように高周波動作を必要とし、高い電界移動度を必要とする周辺駆動回路部をガラスなどの透明絶縁性基板上にアクティブマトリクス映像表示部と一体化して作製することができる。さらに、従来の技術では得られなかったような高品質で結晶成長方向が完全に揃った結晶欠陥密度が極めて低い結晶性ケイ素膜が得られ、この結晶性ケイ素を用いたTFTの電界移動度は非常に高く(200cm²/V・s以上)、さらにON電流も高い値(1mA以上)とすることができる。

【0147】また、上記TFT40a、41、42のチャネル領域はエッチング法等を用いることなく薄膜化され、レーザーアニール処理により結晶粒内および結晶粒界の格子欠陥密度が十分に低減化されている。よって、チャネル領域を構成する結晶性ケイ素膜408a、408b、408cとゲート絶縁膜409との界面を良好にすることができ、OFF電流を極めて低い値(1pA以下)とすることができる。

【0148】さらに、ニッケル等の触媒元素の添加領域と非添加領域は、二酸化ケイ素膜等のマスクを使用することにより容易に作り分けることが可能である。また、マスクの開口パターン、例えば縦長のパターンや横長のパターン等によりニッケル添加領域から結晶成長が進む方向とラテラル成長距離とを任意に設定することができ

る。よって、アクティブマトリクス映像表示部のTFTのみならず、その該週に設けられる周辺駆動回路部のTFT等、あらゆる構造に容易に適用できる。

【0149】このようにTFTの動作速度を高め、OFF電流を低減すると共にON電流も大きくすることができるので、ガラス等の透明絶縁性基板上に周辺駆動回路と映像表示部との各々に要求される異なる電気特性を両立させて、低温プロセスによりドライバモノリシック型AM、LCD用の基板を得ることができる。

【0150】以上、本発明の実施例について具体的に説明したが、本発明は上記実施例に限定されるものではなく、本発明の技術思想に基づいて各種の変形が可能である。

【0151】例えば上記実施例3および4において、ニッケルを導入する方法としては、非晶質ケイ素膜304、404の下地膜302、402表面に選択的にニッケルの薄膜(極めて薄い膜なので膜として観察することは困難である)を形成し、この部分型結晶性町を行ったが、非晶質ケイ素膜304、404を形成した後、その上面に選択的に微量のニッケルを添加してもよい。即ち、結晶成長は非晶質ケイ素膜304、404の上面側から行ってもよく、下面側から行ってもよい。また、予め非晶質ケイ素膜304、404を成膜し、これにイオンドーピング法を用いてニッケルイオンを選択的に注入してもよい。この場合、添加されるニッケル元素の濃度を制御することができる。あるいは、ニッケルの薄膜を成膜する代わりに、ニッケル電極を用いてプラズマ処理により微量のニッケルを添加してもよく、硝酸ニッケルや酢酸ニッケルの水溶液またはアルコール溶液等を基板表面に塗布してもよい。

【0152】結晶化を助長する触媒元素としては、ニッケル以外に、鉄(Fe)、コバルト(Co)、パラジウム(Pd)、白金(Pt)、錫(Sn)、インジウム(In)、アルミニウム(Al)、金(Au)、銀(Ag)、アンチモン(Sb)、銅(Cu)、砒素(As)およびリン(P)の中から選択される少なくとも一つの材料を用いることができる。また、ニッケルを含むこれらの触媒元素の2以上のものを用いてもよい。

【0153】さらに、液晶表示装置等に用いられる基板以外に本発明を適用することもできる。例えば、密着型イメージセンサー、ドライバ内蔵型サーマルヘッド、有機系EL素子などを発光素子としたドライバ内蔵型の光書き込み素子、三次元ICなどの半導体装置などが挙げられる。尚、有機EL素子とは、有機材料を発光素材とした電界効果型発光素子である。本発明を適用することによりこれらの素子の高速化、高解像度化等の高性能化を実現することができる。さらに、本発明は、上記実施例で説明したMOS型トランジスタに限らず、結晶性半導体を素子材料としたバイポーラトランジスタや静電誘導トランジスタを初めとして半導体プロセスおよび

半導体装置全般に幅広く応用することができる。

【0154】

【発明の効果】以上の説明から明らかなように、本発明によれば、絶縁性基板上に形成されるTFT等の半導体素子の半導体層を二段階に分けて成膜することにより、チャネル領域はOFF電流（例えば1 pA以下）を極めて低く抑えるのに十分な薄膜化を行い、かつ、ソース領域およびドレイン領域は金属配線と良好な電氣的コンタクトを取るのに十分な厚膜にすることができる。しかも、チャネル領域表面および表面近傍のダメージ等が生じず、高温プロセスも必要とせず、簡単な製造工程により歩留まり良く安価に作製することができる。

【0155】このチャネル領域を構成する半導体層に対してレーザーアニール処理を施して熔融再結晶化させ、あるいは熔融させない程度のエネルギー密度でレーザーアニール処理を施すことにより、個々の結晶粒内および結晶粒界の格子欠陥密度が大幅に低減して結晶性を非常に良好にすることができる。この結果、TFT等の電界移動度を非常に高い値（例えばNチャネル型TFTの場合、 $150 \text{ cm}^2/\text{V} \cdot \text{s}$ 以上）にすることができ、AM・LCDに組み込む場合には、アクティブマトリクス映像表示部の外周に設けられる周辺駆動回路部としてのCMOS回路を形成することが可能である。さらに、ON電流も非常に高くなるのでON・OFF電流比を高くすることができ、AM・LCDに組み込む場合には画素電極への電荷を短時間で充電できると共に、充電された電荷を一定フレームの間十分に保持することができる。従って、映像表示部と周辺駆動回路部とが同一基板上に組み込まれたドライバーモノリシック型AM・LCDの周辺駆動回路と映像表示部との各々に要求される異なる電気特性を両立させて低温プロセスにより作製することができる。さらに、スタティックRAM（SRAM）のメモリーセル内の負荷素子等に用いられるTFTとして上記半導体素子を用いると、消費電力を低減でき、耐ノイズ性および耐放射線性を良くしてメモリーセルを安定化できる。

【0156】非晶質ケイ素の結晶化を助長するニッケル（Ni）等の触媒元素を使用すると、従来の固相成長法では実現できない600℃以下、例えば550℃程度の低温プロセスで、結晶化を行うことができる。この触媒元素を用いた結晶化によれば、チャネル領域中のキャリアの移動方向を結晶成長方向と概略平行にできるので、極めて高い電界移動度および高いON電流特性を得ることができる。従って、ドライバートランジスタ等の高周波動作性能をさらに高めることができ、従来得られなかったような高性能な半導体素子を得ることができる。また、触媒元素により結晶化が行われた結晶性ケイ素膜は、結晶成長方向が完全に揃っており、格子欠陥密度が極めて低い非常に優れた結晶性を有しているので、半導体素子を安定にかつ歩留まり良く低温プロセスで作製す

ることができる。

【0157】上記非晶質ケイ素膜の結晶化に必要な触媒元素濃度は、結晶化を促すために最低限必要な極めて少ない量（ $1.0 \times 10^{15} \sim 1.0 \times 10^{16} \text{ atoms/cm}^2$ 程度）であり、この触媒元素によるトラップ準位に起因するリーク電流は極めて小さい。また、この触媒元素によりソース・ドレイン領域の電気抵抗を十分に低い状態とでき、さらに不純物の活性化も容易に行うことができる。

【図面の簡単な説明】

【図1】実施例1のTFTの概略構造を示す断面図である。

【図2】実施例1のTFTの製造工程を示す断面図である。

【図3】実施例2の基板の映像表示部を構成する画素スイッチングTFTの製造工程を示す断面図である。

【図4】実施例2の基板の周辺駆動回路部を構成するCMOS回路の製造工程を示す断面図である。

【図5】実施例3のTFTの概略構造を示す断面図である。

【図6】実施例3のTFTの製造工程を示す断面図である。

【図7】実施例3のTFTの製造工程において、ニッケル微量添加およびラテラル成長を説明するための平面図である。

【図8】実施例3のTFTの他の製造工程を示す断面図である。

【図9】実施例4の基板の映像表示部を構成する画素スイッチングTFTの製造工程を示す断面図である。

【図10】実施例4の基板の周辺駆動回路部を構成するCMOS回路の製造工程を示す断面図である。

【図11】実施例4の基板の製造工程において、画素スイッチングTFTに対するニッケル微量添加およびラテラル成長を説明するための平面図である。

【図12】実施例4の基板の製造工程において、CMOS回路に対するニッケル微量添加およびラテラル成長を説明するための平面図である。

【図13】実施例4の基板の映像表示部を構成する画素スイッチングTFTの他の製造工程を示す断面図である。

【図14】実施例4の基板の周辺駆動回路部を構成するCMOS回路の他の製造工程を示す断面図である。

【図15】特願平5-218156号に係る発明において、ニッケル微量添加およびラテラル成長を説明するための平面図である。

【符号の説明】

10、30 Nチャネル型またはPチャネル型TFT

20a、40a 画素スイッチングTFT

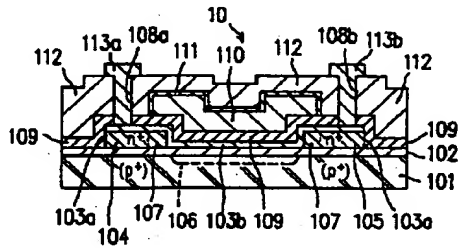
20b、40b CMOS回路

21、41、22、42 ドライバートFT

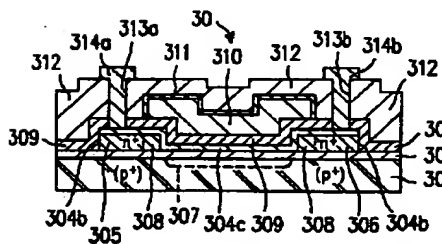
41

200a、200p、200n、400p、400n
 半導体層
 300、400 触媒元素微量添加領域
 101、201、301 絶縁性基板
 102、202、302、402 絶縁性下地膜
 103、203、304、404 非晶質ケイ素膜
 303、403 触媒元素添加用マスク
 303a、403a マスク開口部
 103a、203a、304b、404b 結晶性ケイ素島
 304a、404a 垂直方向に成長した結晶性ケイ素
 304i、404i ラテラル成長領域
 305a、305b、405b、405a ラテラル成長方向
 103b、203b、304c、404c 非晶質ケイ素膜（結晶性ケイ素膜）
 104、105、204a、204b、205b、20

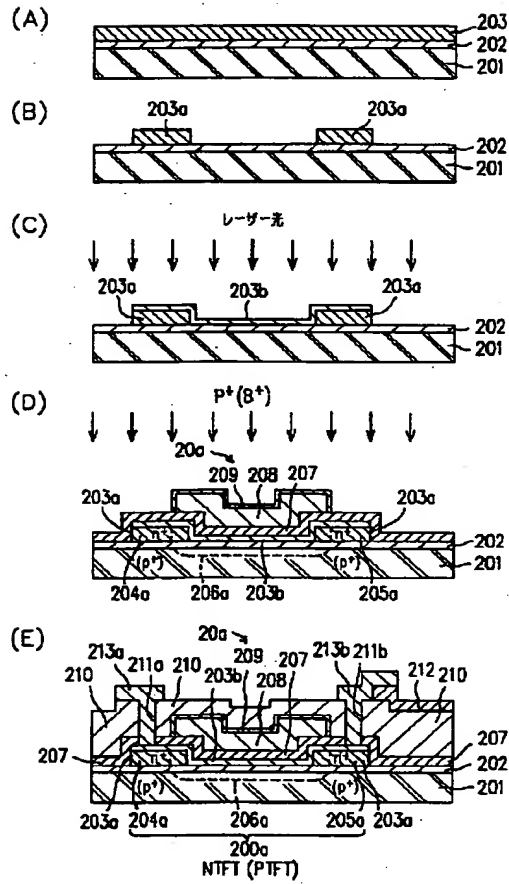
【図1】



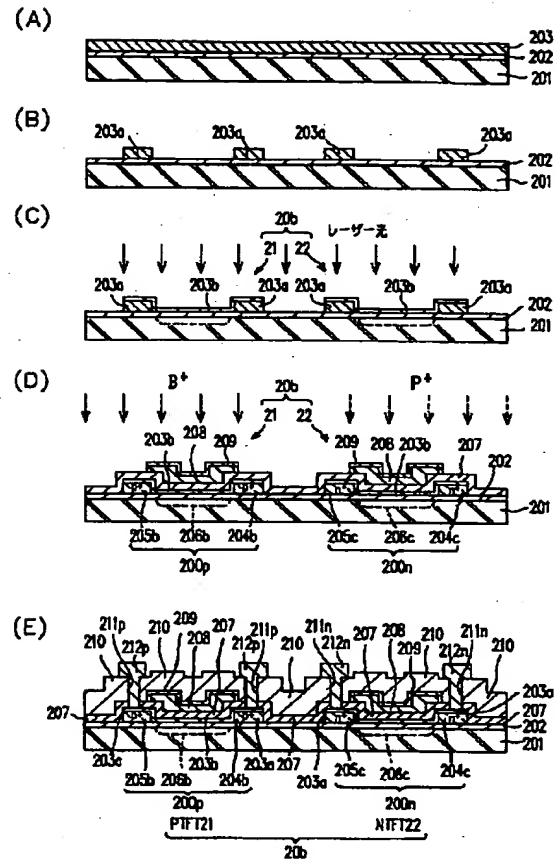
【図5】



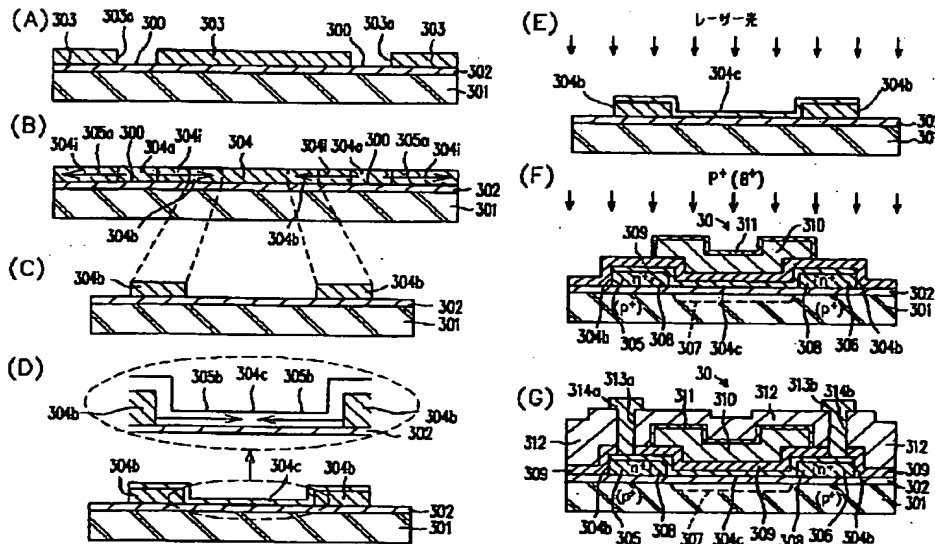
【図 3】



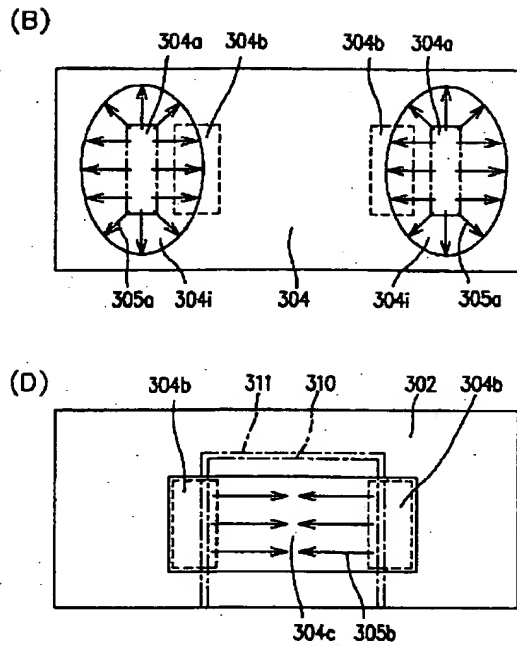
【図 4】



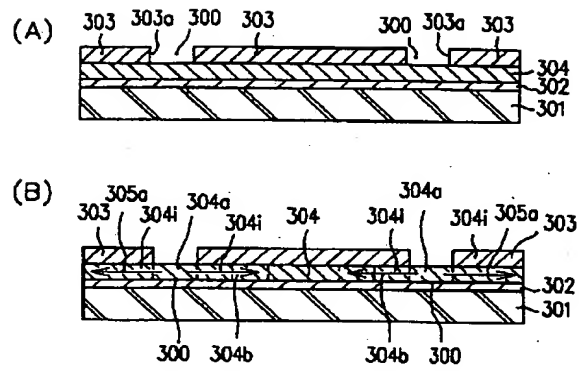
【図 6】



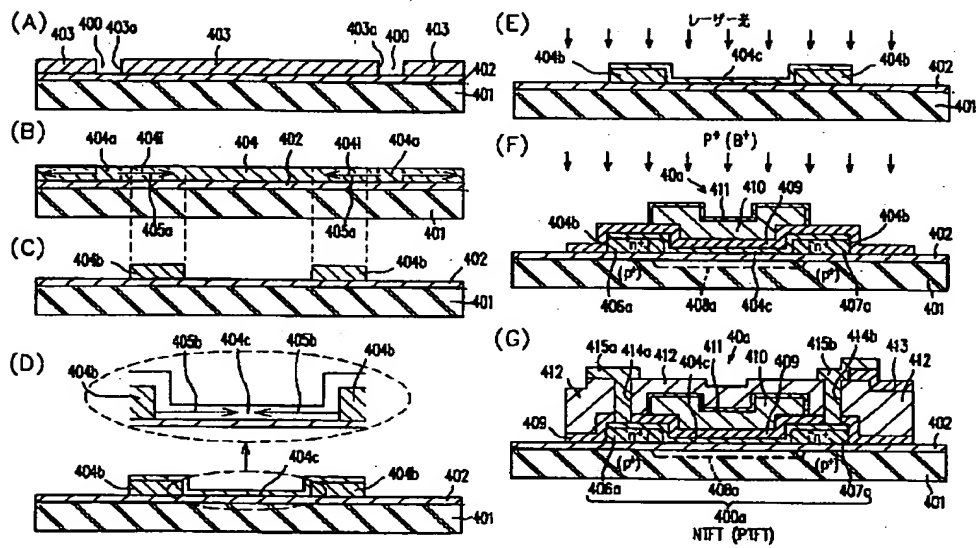
【図 7】



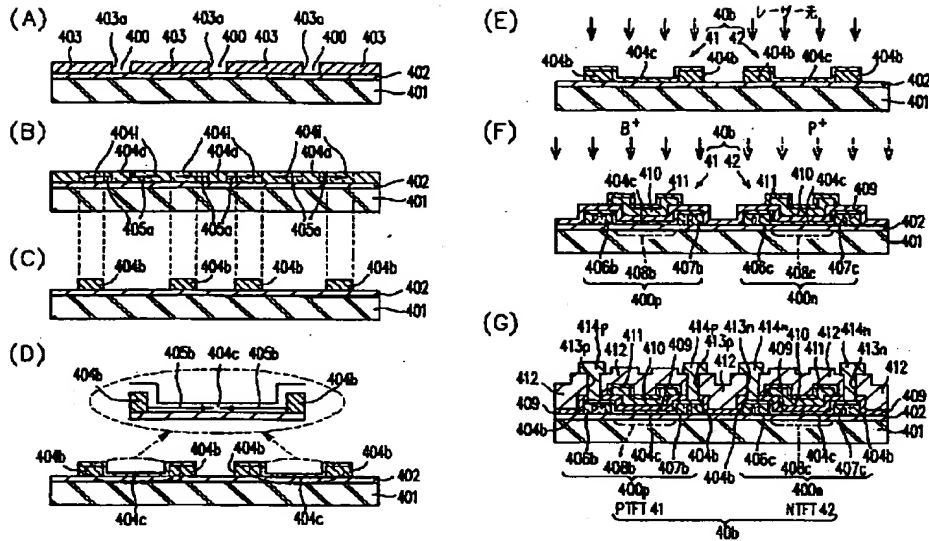
【図 8】



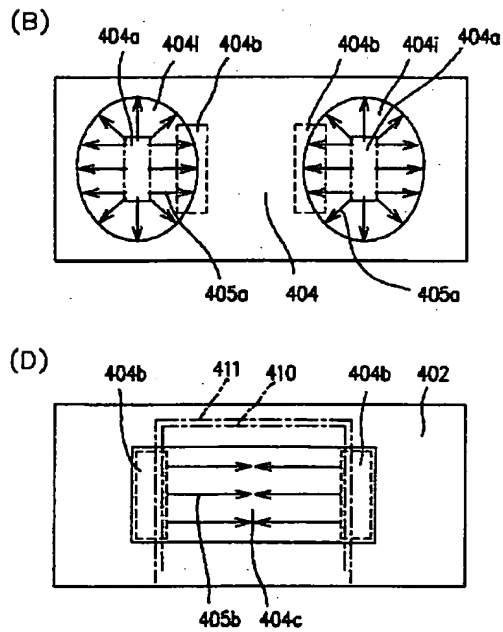
【図 9】



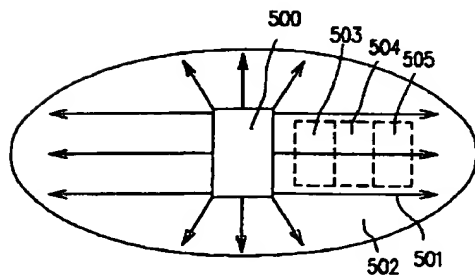
【図 10】



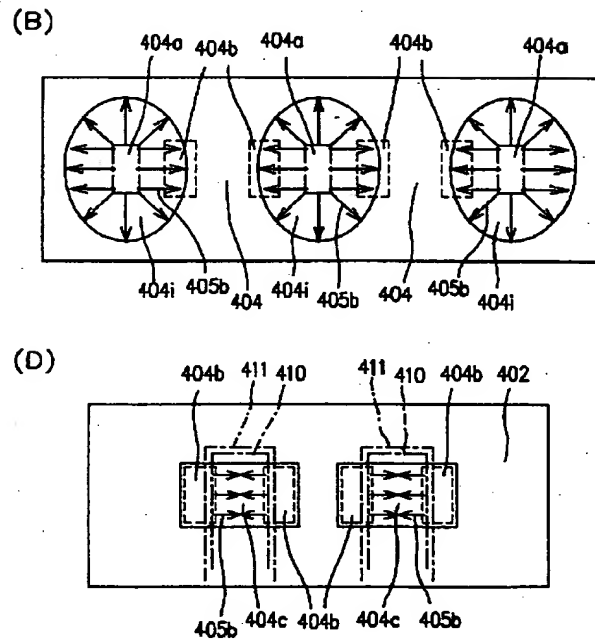
【図 11】



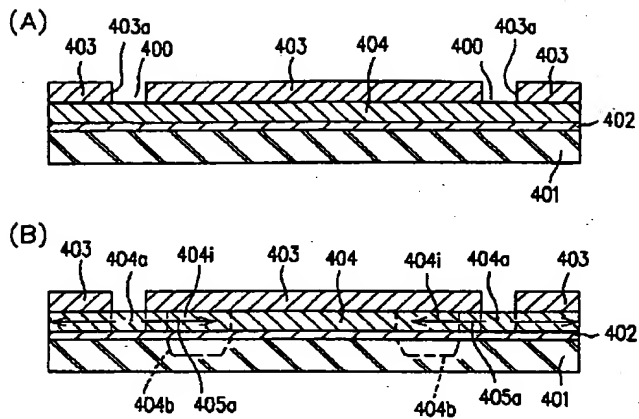
【図 15】



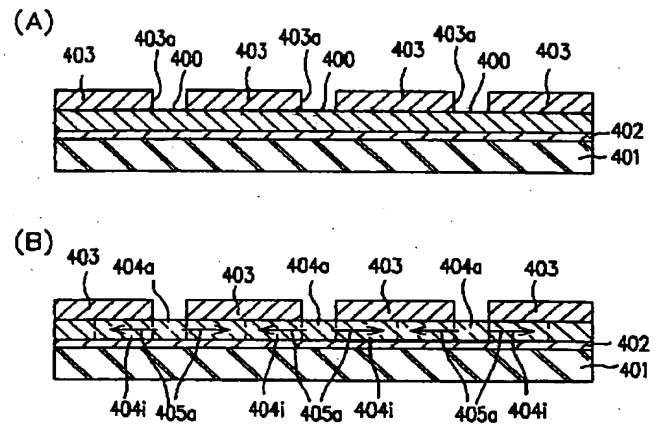
【図 12】



【図 1 3】



【図 1 4】



フロントページの続き

(51) Int. Cl.⁶

G 0 2 F 1/136

H 0 1 L 21/20

27/12

識別記号

5 0 0

庁内整理番号

Z

F I

技術表示箇所

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.